

Docket No.: 67161-076

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Mitsunori TSUJINO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 26, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE UNLIKELY TO MAKE INCORRECT DETERMINATION OF FUSE SHOW	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

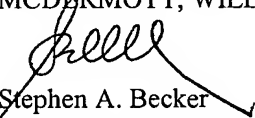
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

**Japanese Patent Application No. JP2003-055262, Filed on March 3, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gav  
Facsimile: (202) 756-8087  
**Date: August 26, 2003**

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 3日

出 願 番 号

Application Number:

特願2003-055262

[ST.10/C]:

[JP2003-055262]

出 願 人

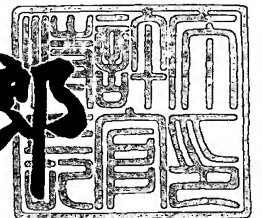
Applicant(s):

三菱電機株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021651

【書類名】 特許願  
【整理番号】 542810JP01  
【提出日】 平成15年 3月 3日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 29/00  
H01L 21/82  
G11C 11/34

【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 辻野 光紀

【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 三木 武夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

、【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 の内部ノードを第 1 の制御信号に応じて第 1 の電源電位が与えられる第 1 の電源ノードに接続する第 1 の接続回路と、

前記第 1 の電源電位とは異なる第 2 の電源電位が与えられる第 2 の電源ノードと前記第 1 の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する第 1 のヒューズ素子と、

前記第 1 の内部ノードの電位に応じた論理値を保持する第 1 のラッチ回路とを備え、

前記第 1 のラッチ回路は、

前記第 1 の内部ノードに入力が接続される第 1 のインバータと、

前記第 1 のインバータの出力に応じて前記第 1 の内部ノードを前記第 1 の電源電位に駆動する第 1 のドライバ回路とを含み、

前記第 1 のドライバ回路は、第 2 の制御信号に応じて駆動力が変化する、半導体装置。

【請求項 2】 前記第 1 のドライバ回路は、

前記第 1 のインバータの出力に応じて前記第 1 の内部ノードを前記第 1 の電源電位に結合する第 1 の電界効果型トランジスタと、

前記第 2 の制御信号の活性時でかつ前記第 1 の電界効果型トランジスタの導通時に前記第 1 の内部ノードを前記第 1 の電源電位に結合する追加接続回路とを含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のドライバ回路は、

前記第 2 の制御信号に応じて選択され、前記第 1 のインバータの出力に応じて前記第 1 の内部ノードを前記第 1 の電源電位に結合する第 1 の電界効果型トランジスタと、

前記第 2 の制御信号に応じて前記第 1 の電界効果型トランジスタと相補的に選択され、前記第 1 のインバータの出力に応じて前記第 1 の内部ノードを前記第 1 の電源電位に結合する第 2 の電界効果型トランジスタとを含む、請求項 1 に記載

の半導体装置。

【請求項 4】 前記半導体装置は、

第 2 の内部ノードを一時的に前記第 1 の電源ノードに接続する第 2 の接続回路と、

前記第 2 の電源ノードと前記第 2 の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する第 2 のヒューズ素子と、

前記第 2 の内部ノードの電位に応じた論理値を保持する第 2 のラッチ回路とをさらに備え、

前記第 2 のラッチ回路は、

前記第 2 の内部ノードに入力が接続される第 2 のインバータと、

前記第 2 のインバータの出力に応じて前記第 2 の内部ノードを前記第 1 の電源電位に駆動する第 2 のドライバ回路とを含み、

前記第 2 のドライバ回路は、前記第 2 の制御信号に応じて駆動力が変化し、

前記半導体装置は、

前記第 1、第 2 のドライバ回路に対して、前記第 2 の制御信号に応じて追加して駆動電流を供給する電流供給回路をさらに備える、請求項 1 に記載の半導体装置。

【請求項 5】 第 1 の内部ノードを第 1 の制御信号に応じて第 1 の電源電位が与えられる第 1 の電源ノードに接続する第 1 の接続回路と、

前記第 1 の内部ノードの電位に応じた論理値を保持する第 1 のラッチ回路と、

前記第 1 の電源電位とは異なる第 2 の電源電位が与えられる第 2 の電源ノードと前記第 1 の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する第 1 のヒューズ素子と、

前記第 1 の内部ノードと前記第 2 の電源ノードとの間に前記第 1 のヒューズ素子と直列に設けられ、第 2 の制御信号に応じて抵抗値が変化する第 2 の接続回路とを備える、半導体装置。

【請求項 6】 前記第 2 の接続回路は、

互いに並列接続される複数の電界効果型トランジスタを含み、

前記複数の電界効果型トランジスタのうちの少なくとも 1 つのゲートは、前記

第 2 の制御信号に応じて前記複数の電界効果型トランジスタのうちの他のゲートとは異なる電位に制御される、請求項 5 に記載の半導体装置。

【請求項 7】 前記第 2 の接続回路は、

前記第 2 の制御信号に応じて出力電圧が変化する電圧発生回路と、

前記電圧発生回路の出力をゲートに受け、前記第 1 の内部ノードと前記第 2 の電源ノードとの間に前記第 1 のヒューズ素子と直列に設けられる電界効果型トランジスタとを含む、請求項 5 に記載の半導体装置。

【請求項 8】 前記第 2 の接続回路は、第 2 の内部ノードと前記第 2 の電源ノードとの間に接続され、

前記半導体装置は、

第 3 の内部ノードを一時的に前記第 1 の電源ノードに接続する第 3 の接続回路と、

前記第 3 の内部ノードの電位に応じた論理値を保持する第 2 のラッチ回路と、

前記第 2 の内部ノードと前記第 3 の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する第 2 のヒューズ素子とをさらに備える、請求項 5 に記載の半導体装置。

【請求項 9】 第 1 の電源電位に初期設定される入力ノードの電位に応じた論理値を保持するラッチ回路と、

前記第 1 の電源電位とは異なる第 2 の電源電位が与えられる電源ノードと内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶するヒューズ素子と、

ウインドウパルスによって指定される期間に前記内部ノードを前記入力ノードに接続する接続回路と、

制御信号に応じて前記ウインドウパルスのパルス幅を変えるパルス発生回路とを備える、半導体装置。

【請求項 10】 前記制御信号を入力する端子をさらに備える、請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、より特定的には、たとえば大容量のダイナミックランダムアクセスメモリ（DRAM）において、不良メモリセルと予備セルとの置換を指定するためなどに用いられるヒューズ素子を備えた半導体装置に関する。

【0002】

【従来の技術】

大容量のDRAMでは、すべてのメモリセルに全く欠陥のない完全な良品をえることはきわめて困難である。このため、一般的にはメモリセルアレイに予備メモリセルを設けておき、欠陥部分を置換えて良品にする冗長構成が採用されている。

【0003】

特許文献1（特開2001-210093号公報）には、不良部分のアドレスに対応するヒューズ部をレーザー光線で切断することにより不良部分の回路を切り離し、代わりに予備部分を動作させるというレーザートリミング方式で用いられるリペア信号発生回路について記載されている。

【0004】

【特許文献1】

特開2001-210093号公報

【0005】

【発明が解決しようとする課題】

レーザー光線によるヒューズの切断が不十分である場合があり、内部回路がヒューズは切れていないと認識を誤り予備部分への置換動作が行なわれなくなったり、全く関係無いアドレスに対応するメモリセルの置換が行なわれてしまったりという不具合が生ずる。

【0006】

ヒューズの切断状態が不完全で一定値以上の電流が流れる場合には、常に安定して誤動作をするため、出荷前のテストで容易に取り除くことができる。しかし、切断部に微小な残り部分がある場合には、動作タイミング、動作温度等複雑な



動作要因の影響を受けて、ヒューズが切れていると認識されたり切れていないと認識されたりして不安定な動作をする恐れがある。このような不安定動作をするチップを除外するのは困難であり、テスト条件等に工夫が要求されていた。

【0007】

また、微小な残り部分があることによる置換の誤りにより製造歩留まりが悪化するという問題点もあった。

【0008】

本発明の目的は、ヒューズの切断の認識誤りを起こしにくい半導体装置を提供することである。

【0009】

【課題を解決するための手段】

この発明は、要約すれば、半導体装置であって、第1の接続回路と、第1のヒューズ素子と、第1のラッチ回路とを備える。第1の接続回路は、第1の内部ノードを第1の制御信号に応じて第1の電源電位が与えられる第1の電源ノードに接続する。第1のヒューズ素子は、第1の電源電位とは異なる第2の電源電位が与えられる第2の電源ノードと第1の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する。第1のラッチ回路は、第1の内部ノードの電位に応じた論理値を保持する。第1のラッチ回路は、第1の内部ノードに入力が接続される第1のインバータと、第1のインバータの出力に応じて第1の内部ノードを第1の電源電位に駆動する第1のドライバ回路とを含む。第1のドライバ回路は、第2の制御信号に応じて駆動力が変化する。

【0010】

この発明の他の局面に従うと、半導体装置であって、第1の接続回路と、第1のラッチ回路と、第1のヒューズ素子と、第2の接続回路とを備える。第1の接続回路は、第1の内部ノードを第1の制御信号に応じて第1の電源電位が与えられる第1の電源ノードに接続する。第1のラッチ回路は、第1の内部ノードの電位に応じた論理値を保持する。第1のヒューズ素子は、第1の電源電位とは異なる第2の電源電位が与えられる第2の電源ノードと第1の内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する。第2の接続回路は、第1の内

部ノードと第2の電源ノードとの間に第1のヒューズ素子と直列に設けられ、第2の制御信号に応じて抵抗値が変化する。

#### 【0011】

この発明のさらに他の局面に従うと、半導体装置であって、ラッチ回路と、ヒューズ素子と、接続回路と、パルス発生回路とを備える。ラッチ回路は、第1の電源電位に初期設定される入力ノードの電位に応じた論理値を保持する。ヒューズ素子は、第1の電源電位とは異なる第2の電源電位が与えられる電源ノードと内部ノードとを結ぶ経路上に設けられ、不揮発的に導通状態を記憶する。接続回路は、ウインドウパルスによって指定される期間に内部ノードを入力ノードに接続する。パルス発生回路は、制御信号に応じてウインドウパルスのパルス幅を変える。

#### 【0012】

##### 【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。  
なお、図中同一符号を同一または相当部分を示す。

#### 【0013】

##### 【実施の形態1】

図1は、本発明の半導体装置2の構成を示した概略ブロック図である。本明細書では、本発明の半導体装置の例示としてメモリアレイを備える半導体記憶装置を説明する。

#### 【0014】

図1を参照して、半導体装置2は、行列状に配列される複数のメモリセルMCを有するメモリブロック16.0～16.3を備える。メモリブロック16.0～16.3は、メモリセルアレイが4分割された領域であり、ロウアドレスのうちのRA0～RA8よりも上位の所定の2ビットによってそのうち1つが選択される。

#### 【0015】

図1では、説明の簡単のため、メモリブロック16.0～16.3の各々に、512行、128列に配列される正規のメモリセルに加えて、歩留りを向上する

ための予備のメモリセル 1 列を含む構成が示される。ただし、実際には、正規のメモリセルはさらに多くの行および列にわたって配列され、また予備のメモリセルが複数列設けられる場合も多い。また、図 1 では、1 つの入出力端子が示されているが、実際には 4、8、1 6 個のいずれかの入出力端子が設けられており、入出力端子ごとに図示したような構成が設けられる。

## 【 0 0 1 6 】

半導体装置 2 は、さらに、アドレス信号 ADD、クロック信号 CLK、制御信号 EXTZRAS, EXTZCAS, /WE, /CS, CKE を受けて内部制御信号 CDE, CADE、コラムアドレス CA0~CA7、ロウアドレス RA0~RA8、信号 RASORX およびモード信号 TMSIG を出力する制御回路 8 を含む。制御回路 8 は、半導体装置 2 の動作モードを保持するモードレジスタ 9 を含む。なお、ここで信号名に付された “Z” や “/” は、反転を示す。

## 【 0 0 1 7 】

メモリブロック 1 6. 0~1 6. 3 の各々は、行列状に配置されたメモリセル MC と、メモリセル MC の行に対応して設けられるワード線 WL0~WL511 と、メモリセル MC の列に対応して設けられるコラム線対 CSL0~CSL127 とを含む。

## 【 0 0 1 8 】

半導体装置 2 は、さらに、制御回路 8 から与えられたロウアドレス信号 RA0~RA8 をデコードしワード線 WL0~WL511 を選択的に駆動する X デコーダ 1 0 を含む。X デコーダ 1 0 は、メモリブロック 1 6. 0~1 6. 3 の内部アドレス指定された行（ワード線）を選択状態へ駆動するための図示しないワードドライバを含む。

## 【 0 0 1 9 】

半導体装置 2 は、さらに、アドレス信号の入力に応じて活性化される信号 RASORX とコラムアドレス CA1~CA7 とに応じて予備メモリセル行の選択をするか否かを示す信号 SCHIT を出力するプログラム & 比較回路 2 4 と、制御信号 CDE および信号 SCHIT に応じて活性化されコラムアドレス CA0~CA7 をデコードしてコラム選択線 CSL0~CSL127 のいずれかを選択する

Yデコーダ12と、信号SCHITに応じてスペアコラム選択線SCSLを選択するスペアYデコーダ28とを含む。

【0020】

半導体装置2は、さらに、コラム選択線CSL0～CSL127およびスペアコラム選択線SCSLによって指定されるビット線対を外部とのデータ授受のために選択するマルチプレクサ18と、端子から与えられた信号DQを受けてマルチプレクサ18に伝達する入力回路22と、メモリブロック16.0～16.3からマルチプレクサ18を介して読出されるデータを端子に信号DQとして出力する出力回路20とを含む。

【0021】

次に、動作の概略について説明する。

正規のメモリセルのうち不良のメモリセルにアクセスされた場合には、予備のメモリセルをその代わりにアクセスするようになっている。

【0022】

Xデコーダ10は、9ビットのアドレス信号により512行から1行を選択する。Yデコーダ12は、7ビットのアドレス信号CA1～CA7により、127列から1列を選択する。プログラム&比較回路24には不良列アドレスがプログラムされている。プログラム&比較回路24は、入力されたアドレス信号とプログラムされた不良列アドレスとを比較する。入力されたアドレス信号が不良列アドレスに一致すれば、信号SCHITがHレベルとなり、Yデコーダ12が動作禁止とされ、スペアYデコーダ28がスペアコラム選択線SCSLを活性化する。

【0023】

一方、入力されたアドレス信号が不良列アドレスと一致しなければ、Yデコーダ12がアドレス信号CA0～CA7に従って列を選択する。このとき、スペアYデコーダ28は動作禁止とされる。

【0024】

図2は、図1におけるプログラム&比較回路の構成を示すブロック図である。

図2を参照して、プログラム&比較回路24は、プログラム&比較回路30～

33を含む。プログラム&比較回路30～33は、それぞれ図1のメモリブロック16. 0～16. 3に対応して設けられている。

【0025】

プログラム&比較回路30は、プログラム部40と、コンパレータ45とを含む。プログラム部40は、信号RASORXに応じて内蔵するヒューズの設定情報を信号FCA<7:1>として読出す。信号RASORXは、行活性化を指示するACTコマンドと入力されたアドレスとを認識することにより活性化される信号であり、コマンドACTの入力からコマンドPRE（プリチャージ）の入力までの間活性化が維持される。

【0026】

プログラム部40は、対応するメモリブロックにおいて予備列を使用する場合に切断されるヒューズ素子FUSESC Eを含みブロック選択信号SCL<0>を出力するブロックプログラム回路42と、予備列に置換すべき不良列のアドレスを指定するためのヒューズ素子FUSECA1～FUSECA7を含み不良列に対応するアドレス信号FCA<7:1>を出力するアドレスプログラム回路44とを含む。

【0027】

コンパレータ45は、不良列に対応するアドレス信号FCA<7:1>と入力された列アドレス信号CA<7:1>とを各ビット毎比較して、アドレスが一致していたら予備列を選択するための信号SCHIT<0>を活性化する。

【0028】

なお、プログラム&比較回路31～33は、メモリブロック16. 1～16. 3にそれぞれ対応する信号SCHIT<1>～SCHIT<3>を出力する点がプログラム&比較回路30とは異なる。しかし、プログラム&比較回路31～33の内部の構成は、プログラム&比較回路30と同様であり、説明は繰り返さない。

【0029】

図3は、図2におけるプログラム部の構成を示す回路図である。

図3を参照して、プログラム部40は、対応するメモリブロックにおいて予備

列を使用する場合に切断されるヒューズ素子 FUSE SCE を含みブロック選択信号 SCL<0>を出力するブロックプログラム回路 4 2 と、予備列に置換すべき不良列のアドレスを指定するためのヒューズ素子 FUSE CA 1 ~ FUSE CA 7 を含み不良列に対応するアドレス信号 FCA<1> ~ <7>を出力するアドレスプログラム回路 4 4 とを含む。

## 【 0 0 3 0 】

ブロックプログラム回路 4 2 は、電源ノードとノード N 1 との間に接続されゲートに信号 RAS ORX を受ける P チャンネル MOS トランジスタ 4 6 と、接地ノードに一方端が接続されるヒューズ素子 FUSE SCE と、ヒューズ素子 FUSE SCE の他方端とノード N 1 との間に接続されゲートに信号 RAS ORX を受ける N チャンネル MOS トランジスタ 4 8 とを含む。

## 【 0 0 3 1 】

ブロックプログラム回路 4 2 は、さらに、ノード N 1 の電位に対応する情報をラッチするラッチ回路 5 0 と、ラッチ回路 5 0 の出力と信号 ZRAD<0>とを受けて信号 SCL<0>を出力する NOR 回路 5 2 とを含む。

## 【 0 0 3 2 】

ラッチ回路 5 0 は、ノード N 1 に入力が接続されるインバータ 5 8 と、インバータ 5 8 の出力に応じてノード N 1 を電源電位に駆動するドライブ回路 5 6 と、信号 RAS ORX とモード信号 TMS IG とを受ける NAND 回路 5 4 とを含む。NAND 回路 5 4 の出力は、ドライブ回路 5 6 の駆動能力を変化させるための信号である。

## 【 0 0 3 3 】

ドライブ回路 5 6 は、電源ノードとノード N 1 との間に接続されゲートにインバータ 5 8 の出力を受ける P チャンネル MOS トランジスタ 6 0 と、電源ノードとノード N 1 との間に直列に接続される P チャンネル MOS トランジスタ 6 2, 6 4 とを含む。P チャンネル MOS トランジスタ 6 2, 6 4 は、各ゲートに NAND 回路 5 4 の出力、インバータ 5 8 の出力をそれぞれ受ける。

## 【 0 0 3 4 】

アドレスプログラム回路 4 4 は、ビットプログラム回路 7 1 ~ 7 7 を含む。ビ

ビットプログラム回路 71～77 は、それぞれヒューズ素子 FUSECA1～FUSECA7 を含む。ヒューズ素子 FUSECA1～FUSECA7 はアドレスビット CA1～CA7 にそれぞれ対応する。

【0035】

ビットプログラム回路 71 は、信号 RASORX に応じてノード N2 を電源ノードに接続する接続回路 82 と、接地ノードに一方端が接続されるヒューズ素子 FUSECA1 と、ヒューズ素子 FUSECA1 の他方端とノード N2 との間に接続されゲートに信号 SCL<0>を受ける Nチャネル MOS トランジスタ 86 とを含む。

【0036】

接続回路 82 は、一方の入力が L レベルに固定され他方の入力に信号 RASORX を受ける NOR 回路 88 と、NOR 回路 88 の出力を受けて反転するインバータ 90 と、電源ノードとノード N2 との間に接続されゲートにインバータ 90 の出力を受ける Pチャネル MOS トランジスタ 92 とを含む。

【0037】

ビットプログラム回路 71 は、さらに、ノード N2 の電位に対応する情報をラッチするラッチ回路 84 と、ラッチ回路 84 の出力を受けて反転し、信号 FCA<1>を出力するインバータ 106 とを含む。

【0038】

ラッチ回路 84 は、ノード N2 に入力 that 接続されるインバータ 98 と、インバータ 98 の出力に応じてノード N2 を電源電位に駆動するドライブ回路 96 と、信号 RASORX とモード信号 TMSIG とを受ける NAND 回路 94 とを含む。NAND 回路 94 の出力は、ドライブ回路 96 の駆動能力を変化させるための信号である。

【0039】

ドライブ回路 96 は、電源ノードとノード N2 との間に接続されゲートにインバータ 98 の出力を受ける Pチャネル MOS トランジスタ 100 と、電源ノードとノード N2 との間に直列に接続される Pチャネル MOS トランジスタ 102, 104 とを含む。Pチャネル MOS トランジスタ 102, 104 は、各ゲートに

NAND回路94の出力、インバータ98の出力をそれぞれ受ける。

【0040】

ビットプログラム回路72～77は、FUSECA1に代えてFUSECA2～FUSECA7を含み、対応する信号FCA<2>～FCA<7>を出力する点がビットプログラム回路71と異なる。しかし、ビットプログラム回路72～77の他の内部の構成は、ビットプログラム回路71と同様であり説明は繰り返さない。

【0041】

動作について簡単に説明する。対応するメモリブロックで冗長回路を使用する場合には、ヒューズ素子FUSESC Eが切断される。たとえば、ヒューズ素子の切断はレーザー光線を用いて行なわれる。さらに、置換対象のアドレスに対応してヒューズ素子FUSECA1～FUSECA7のうちのいくつかが切断される。置換対象のアドレスの対応ビットが“H”ならば、ヒューズ素子の切断が行なわれる。

【0042】

ヒューズ素子FUSESC Eが切断されると、ラッチ回路50によってノードN1はHレベルにラッチされる。その結果、信号SCL<0>がHレベルになる。すると、ビットプログラム回路71では、NチャネルMOSトランジスタ86が導通して、ヒューズ素子FUSECA1が切断されているか否かがラッチ回路84に読みこまれる。ラッチ回路84のラッチ結果に応じて、信号FCA<1>が出力される。

【0043】

また、他のビットプログラム回路72～77においても同様にヒューズ素子の切断状況の検知が行なわれ信号FCA<2>～FCA<7>が出力される。

【0044】

図4は、図2におけるコンパレータの構成を示した回路図である。

図4を参照して、コンパレータ45は、アドレス信号CA<1>～CA<7>にそれぞれ対応するビット比較回路111～117と、ビット比較回路111～117の出力を受ける7入力のNAND回路130と、NAND回路130の出



力を受けて反転し信号  $SCHIT<0>$  を出力するインバータ 1 3 2 とを含む。

・ 【 0 0 4 5 】

ビット比較回路 1 1 1 は、信号  $SCL<0>$  を受けて反転するインバータ 1 2 2 と、インバータ 1 2 2 の出力を受けて反転し信号  $SCEA$  を出力するインバータ 1 2 4 と、信号  $SCEA$  とアドレス信号  $CA<1>$  とを受ける  $NAND$  回路 1 2 6 と、信号  $FCA<1>$  が  $H$  レベルのときに活性化して  $NAND$  回路 1 2 6 の出力を受けて反転し信号  $SCSF<1>$  を出力するクロックドインバータ 1 2 8 と、信号  $FCA<1>$  が  $L$  レベルのときに活性化してアドレス信号  $CA<1>$  を受けて反転し信号  $SCSF<1>$  を出力するクロックドインバータ 1 2 0 とを含む。

【 0 0 4 6 】

ビット比較回路 1 1 2 ～ 1 1 7 についても、ビット比較回路 1 1 1 と同様な構成を有するのでその説明は繰り返さない。

【 0 0 4 7 】

ビット比較回路 1 1 1 の動作を簡単に説明する。

ブロック 0 の予備メモリセル列が使用されない場合、つまり信号  $SCL<0>$  が  $L$  レベルであるときには、信号  $SCEA$  が  $L$  レベルであり  $NAND$  回路 1 2 6 の出力は  $H$  レベルである。

【 0 0 4 8 】

このとき、図 3 の  $N$  チャネル  $MOS$  トランジスタ 8 6 は非導通状態のままであるので、ヒューズ素子が切断されていても切断されていなくても、信号  $FCA<1>$  ～  $FCA<7>$  はすべて  $H$  レベルになる。

【 0 0 4 9 】

ビット比較回路 1 1 1 では、クロックドインバータ 1 2 0 は非活性化され、クロックドインバータ 1 2 8 が活性化される。クロックドインバータ 1 2 8 によって  $NAND$  回路 1 2 6 の出力の  $H$  レベルが反転されて、信号  $SCSF<1>$  は  $L$  レベルとなる。

【 0 0 5 0 】

信号  $SCSF<2>$  ～  $SCSF<7>$  も同様に  $L$  レベルになるので、 $NAND$

回路 1 3 0 は、H レベルを出力しその結果信号  $SCHIT<0>$  は L レベルになる。したがって、メモリブロック 1 6 . 0 における置換動作は行なわれない。

【0 0 5 1】

つぎに、ブロック 0 の予備メモリセル列が使用される場合、つまり信号  $SCL<0>$  が H レベルであるときには、信号  $SCEA$  が H レベルであり  $NAND$  回路 1 2 6 の出力は信号  $CA<1>$  の反転値である。

【0 0 5 2】

このとき、図 3 の N チャネル MOS トランジスタ 8 6 は導通状態になるので、ヒューズ素子が切断されていれば信号  $FCA<1>$  は H レベルになる。一方、ヒューズ素子が切断されていなければ、信号  $FCA<1>$  は L レベルになる。不良アドレスの対応ビットが“1”であればヒューズを切断するので、結局信号  $FCA<1>$  は、不良アドレスの対応ビット  $CA$  が“1”であれば H レベルとなり、対応ビットが“0”であれば L レベルとなる。

【0 0 5 3】

不良アドレスの対応ビットが“1”で信号  $FCA<1>$  が H レベルであれば、クロックインバータ 1 2 8 が活性化される。すると信号  $CA<1>$  が H レベルであれば信号  $SCSF<1>$  は H レベルとなり、一方信号  $CA<1>$  が L レベルであれば信号  $SCSF<1>$  は L レベルとなる。結局、不良アドレスの対応ビット“1”に信号  $CA<1>$  が一致したときは信号  $SCSF<1>$  は H レベルになり、一致しないときは L レベルになる。

【0 0 5 4】

逆に、不良アドレスの対応ビットが“0”で信号  $FCA<1>$  が L レベルであれば、クロックインバータ 1 2 0 が活性化される。すると信号  $CA<1>$  が H レベルであれば信号  $SCSF<1>$  は L レベルとなり、一方信号  $CA<1>$  が L レベルであれば信号  $SCSF<1>$  は H レベルとなる。結局、不良アドレスの対応ビット“0”に信号  $CA<1>$  が一致したときは信号  $SCSF<1>$  は H レベルになり、一致しないときは L レベルになる。

【0 0 5 5】

同様に、ビット比較回路 1 1 2 ~ 1 1 7 においても入力アドレスの対応ビット

と不良アドレスの対応ビットの比較が行なわれ、信号  $SCSF<2>\sim SCSF<7>$  が出力される。

【0056】

NAND回路130、インバータ132によって、すべての入力アドレスビットが不良アドレスビットに一致したときに、信号  $SCHIT<0>$  がHレベルに活性化されて、不良列と予備列の置換が行なわれる。

【0057】

図5は、本発明の半導体装置の通常動作モードでのCA1-CA7に対応するヒューズの切断検知動作を説明するための動作波形図である。

【0058】

図3、5を参照して、時刻t0においてコマンドACTが入力され行の活性化が行なわれる。通常動作モードではモード信号TMSIGはLレベルに設定されている。また、ヒューズ素子FUSECA1は、レーザー光線によって切断されているが、切断は完全ではなく微小な残り部分があるとする。

【0059】

たとえば、時刻t1においてライトコマンドWTが入力され、この時コラムアドレス信号CA<1>がHレベルであるとする。ヒューズが切断されていれば、図3のノードN2は、Hレベルに維持され信号FCA<1>もHレベルとなる。信号CA<1>と信号FCA<1>が一致するので、他のビットがすべて一致していればスペアコラムが選択されるようにスペアコラム選択線SCSLが活性化される。

【0060】

また、時刻t2以降に示されるようにライトコマンドWTが入力され、この時コラムアドレス信号CA<1>がLレベルであるとする。ヒューズが切断されていれば、図3のノードN2は、Hレベルに維持され信号FCA<1>はHレベルとなる。信号CA<1>と信号FCA<1>は一致しないので、スペアコラムは選択されずノーマルコラム選択線NCSLが活性化される。

【0061】

ところが、コマンドACTによる行の活性化からライトコマンドWTが入力さ

れるまでの時間  $t_{RCD}$  は最小値は規定があるが、最大値は規定がないので常に同じタイミングでライトコマンド  $WT$  が入力されるとは限らない。したがって、時間  $t_{RCD}$  が長い読出動作や書込動作が行なわれる場合がある。

#### 【 0 0 6 2 】

ヒューズが切断されていれば、図 3 のノード  $N_2$  は、H レベルに維持されているはずであるが、ヒューズ素子の切断が完全ではない場合にはノード  $N_2$  の電位は低下する。プリチャージトランジスタ 9 2 で一旦プリチャージされたノード  $N_2$  の寄生容量の電荷は徐々に接地電位に向けて抜けていき、ノード  $N_2$  の電位は P チャンネル MOS トランジスタ 1 0 0 の導通抵抗と N チャンネル MOS トランジスタ 8 6 およびヒューズ素子  $FUSECA_1$  の残り部分の合成抵抗との比で定まる分圧電位になる。

#### 【 0 0 6 3 】

ノード  $N_2$  の電位がインバータ 9 8 のしきい値電圧よりも低くなると、インバータ 9 8 の出力は反転し、P チャンネル MOS トランジスタ 1 0 0 はオフ状態となり、ノード  $N_2$  の電位は最終的には N チャンネル MOS トランジスタ 8 6 およびヒューズ素子  $FUSECA_1$  の残り部分によって接地電位になってしまう。このとき、H レベルであるはずの信号  $FCA<1>$  は L レベルに変化してしまう。

#### 【 0 0 6 4 】

時刻  $t_5$  では、このような時間  $t_{RCD}$  が長い書込動作が行なわれた場合に入力されたコラムアドレス信号  $CA<1>$  が H レベルである場合を示す。本来 H レベルであるべき不良アドレスビットを示す信号  $FCA<1>$  は L レベルに変わっている。信号  $CA<1>$  と信号  $FCA<1>$  が一致しないので、スペアコラムは選択されず、ノーマルコラム選択線  $NC SL$  が活性化される。

#### 【 0 0 6 5 】

また、時刻  $t_6$  では、このような時間  $t_{RCD}$  が長い書込動作が行なわれた場合に入力されたコラムアドレス信号  $CA<1>$  が L レベルである場合を示す。本来 H レベルであるべき不良アドレスビットを示す信号  $FCA<1>$  は L レベルに変わっている。信号  $CA<1>$  と信号  $FCA<1>$  が一致するので、もし他のビットがすべて一致していればスペアコラムが選択されるようにスペアコラム選択

線 S C S L が活性化される。

【 0 0 6 6 】

図 6 は、本発明の半導体装置の通常動作モードでのブロック選択に対応するヒューズの切断検知動作を説明するための動作波形図である。

【 0 0 6 7 】

図 3、図 6 を参照して、時刻  $t_0$  においてコマンド A C T が入力され行の活性化が行なわれる。通常動作モードではモード信号 T M S I G は L レベルに設定されている。また、ヒューズ素子 F U S E S C E は、レーザー光線によって切断されているが、切断は完全ではなく微小な残り部分があるとする。

【 0 0 6 8 】

たとえば、時刻  $t_1$  においてライトコマンド W T が入力されるとする。ヒューズが切断されていれば図 3 のノード N 1 は H レベルに維持され、信号 Z R A D < 0 > が L レベルであることを前提として信号 S C L < 0 > も H レベルとなる。このとき信号 C A < 1 > ~ C A < 7 > と信号 F C A < 1 > ~ F C A < 7 > とがそれぞれ一致していればスペアコラムが選択されるようにスペアコラム選択線 S C S L が活性化される。

【 0 0 6 9 】

ところが、コマンド A C T による行の活性化からライトコマンド W T が入力されるまでの時間  $t_{RCD}$  は最小値は規定があるが、最大値は規定がないので常に同じタイミングでライトコマンド W T が入力されるとは限らない。したがって、時間  $t_{RCD}$  が長い読出動作や書込動作が行なわれる場合がある。

【 0 0 7 0 】

ヒューズが切断されていれば、図 3 のノード N 1 は、H レベルに維持されているはずであるが、ヒューズ素子の切断が完全ではない場合にはノード N 1 の電位は低下する。プリチャージトランジスタ 4 6 で一旦プリチャージされたノード N 1 の寄生容量の電荷は徐々に接地電位に向けて抜けていき、ノード N 1 の電位は P チャネル M O S トランジスタ 6 0 の導通抵抗と N チャネル M O S トランジスタ 4 8 およびヒューズ素子 F U S E S C E の残り部分の合成抵抗との比で定まる分圧電位になる。

## 【 0 0 7 1 】

・ ノードN 1の電位がインバータ5 8のしきい値電圧よりも低くなると、インバータ5 8の出力は反転し、PチャネルMOSトランジスタ6 0はオフ状態となり、  
・ ノードN 1の電位は最終的にはNチャネルMOSトランジスタ4 8およびヒューズ素子FUSE SCEの残り部分によって接地電位になってしまう。このとき、Hレベルであるはずの信号SCL<0>はLレベルに変化してしまう。

## 【 0 0 7 2 】

時刻t 4では、このような時間t RCDが長い書込動作が行なわれた場合を示す。時刻t 4において書込コマンドWTが入力されると、本来Hレベルであるべき信号SCL<0>はLレベルに変わっている。信号SCL<0>がLレベルであると、図3のビットプログラム回路7 1～7 7ではヒューズ素子の状態の読出が行なわれず、信号FCA<1>～FCA<7>はすべてHレベルとなる。

## 【 0 0 7 3 】

そして、信号SCL<0>がLレベルで信号FCA<1>～FCA<7>はすべてHレベルとなった結果、図4のコンパレータ4 5は、信号SCHIT<0>をLレベルに設定する。したがって、スペアコラムは選択されず、ノーマルコラム選択線NC SLが活性化される。

## 【 0 0 7 4 】

図7は、本発明の半導体装置の救済モードでのブロック選択に対応するヒューズの切断検知動作を説明するための動作波形図である。

## 【 0 0 7 5 】

図3，図7を参照して、時刻t 0においてコマンドACTが入力され行の活性化が行なわれる。救済モードではモード信号TMSIGはHレベルに設定されている。また、ヒューズ素子FUSE SCEは、レーザー光線によって切断されているが、切断は完全ではなく微小な残り部分があるとする。

## 【 0 0 7 6 】

たとえば、時刻t 1においてライトコマンドWTが入力されるとする。ヒューズが切断されていれば図3のノードN 1はHレベルに維持され、信号ZRAD<0>がLレベルであることを前提として信号SCL<0>もHレベルとなる。こ

のとき信号  $CA<1>\sim CA<7>$  と信号  $FCA<1>\sim FCA<7>$  とがそれぞれ一致していればスペアコラムが選択されるようにスペアコラム選択線  $SCSL$  が活性化される。

#### 【0077】

時間  $t$   $RCD$  が長い書込動作が行なわれる場合について時刻  $t_3$  以降で説明する。

#### 【0078】

ヒューズが切断されていれば、図3のノード  $N_1$  は、 $H$  レベルに維持されているはずである。図6では、ヒューズ素子の切断が完全ではない場合にノード  $N_1$  の電位は低下し、信号  $SCE<0>$  が  $L$  レベルになってしまう場合を説明した。これに対し、救済モードでは、信号  $TMSIG$  が  $H$  レベルに設定されている。

#### 【0079】

プリチャージトランジスタ46で一旦プリチャージされたノード  $N_1$  の寄生容量の電荷は徐々に接地電位に向けて抜けていき、ノード  $N_1$  の電位は分圧電位になるが、 $P$  チャンネル  $MOS$  トランジスタ62, 64が導通することにより分圧電位はインバータ58のしきい値電圧に比べて十分高い値にすることができる。インバータ58の出力は反転しないので信号  $SC L<0>$  は  $H$  レベルのままであり  $L$  レベルに反転してしまうことはない。

#### 【0080】

したがって、時刻  $t_4$  において書込コマンド  $WT$  が入力されたときであっても、信号  $SC L<0>$  は  $H$  レベルのままである。通常動作モードでは切断部分の微小リークにより破線で示されるように誤動作していた置換回路が、実線で示されるように正常動作し時刻  $t_4$  ではスペアコラムが選択される。

#### 【0081】

なお、図5で説明した  $CA_1\sim CA_7$  に対応するヒューズの切断検知動作についても、モード信号  $TMSIG$  を切換えることによりブロック選択に対応するヒューズの切断検知動作と同様な動作が行なわれる。つまり、モード信号  $TMSIG$  を切換えることによりラッチ回路のドライバの能力を増大させ、ヒューズ切断部分に微小リークが発生している場合でも正しく切断を認識させることができる。

。このようにすれば、ラッチ回路のドライブ能力の向上により不良を解消することができると確認することができる。

#### 【 0 0 8 2 】

以上の説明において、モード信号 TMS I G は、図 1 のモードレジスタ 9 の設定に基づいて制御回路 8 から与えられる。しかし、モード信号 TMS I G をヒューズ素子の切断によって変化させることができるようにしてもよい。そうすれば、マスク改訂なしで、歩留まりが悪い場合に不良判定されたチップをあとから救済することができる。

#### 【 0 0 8 3 】

図 8 は、ヒューズの切断に応じてモード信号 TMS I G を変化させるモード信号発生回路の構成を示した回路図である。

#### 【 0 0 8 4 】

図 8 を参照して、モード信号発生回路 1 4 0 は、電源ノードとノード N 4 との間に接続されゲートに信号 / P O R を受ける P チャネル MOS トランジスタ 1 4 2 と、接地ノードに一方端が接続されるヒューズ素子 F U S E T M と、ヒューズ素子 F U S E T M の他方端とノード N 4 との間に接続されゲートに信号 R A S O R X を受ける N チャネル MOS トランジスタ 1 4 4 とを含む。

#### 【 0 0 8 5 】

モード信号発生回路 1 4 0 は、さらに、ノード N 4 の電位に対応する情報をラッチするラッチ回路 1 4 6 を含む。

#### 【 0 0 8 6 】

ラッチ回路 1 4 6 は、ノード N 4 に入力 that 接続されるインバータ 1 4 8 と、ノード N 4 と電源ノードとの間に接続されインバータ 1 4 8 の出力をゲートに受ける P チャネル MOS トランジスタ 1 5 0 と、インバータ 1 4 8 の出力を受けて反転しモード信号 TMS I G を出力するインバータ 1 5 2 とを含む。

#### 【 0 0 8 7 】

図示しないパワーオンリセット回路は、半導体装置に電源が投入されると信号 / P O R をしばらく L レベルに保持し、その後 H レベルにすることによりリセットの解除を行う。



【 0 0 8 8 】

リセット解除後にヒューズ素子 F U S E T M が切断されていないときには、ノード N 4 のレベルは L レベルになり、信号 T M S I G も L レベルになる。

【 0 0 8 9 】

一方、リセット解除後にヒューズ素子 F U S E T M が切断されているときにはノード N 4 のレベルは H レベルになり、信号 T M S I G も H レベルになる。

【 0 0 9 0 】

図 8 に示すような回路を設けておけば、歩留まりが悪い場合にチップをあとから救済することができる。

【 0 0 9 1 】

以上実施の形態 1 では、所定のモードに設定することにより、ラッチ回路内部のドライバの能力を通常動作モード時よりも増大させ、ヒューズ切断の認識抵抗を下げるができる。これにより、救済モードにおいてラッチ回路の内部のドライバ能力を増大させればヒューズの誤認識が解消するかどうかを確認することができる。また、ヒューズの誤認識が発生したチップを後から救済することもできる。

【 0 0 9 2 】

〔実施の形態 2〕

実施の形態 1 では、ヒューズ素子の状態をラッチするラッチ回路の内部のフィードバックループの P チャネル M O S トランジスタをテスト時には追加することによりドライバ能力を増大させる例について説明した。ラッチ回路の内部のフィードバックループの P チャネル M O S トランジスタを切換えて使用しても良い。

【 0 0 9 3 】

図 9 は、ブロックプログラム回路の他の例を示した回路図である。

図 9 を参照して、ブロックプログラム回路 2 0 2 は、図 3 に示したブロックプログラム回路 4 2 の構成において、ラッチ回路 5 0 に代えてラッチ回路 5 0 A を含む。ラッチ回路 5 0 A は、入力ノードがノード N 1 A であり、図 3 に示したラッチ回路 5 0 の構成においてドライブ回路 5 6 に代えてドライブ回路 5 6 A を含む。ブロックプログラム回路 2 0 2 の他の構成は、図 3 に示したブロックプログ

ラム回路 4 2 の構成と同様であるので説明は繰り返さない。

【 0 0 9 4 】

ドライブ回路 5 6 A は、一方の入力がノード N 1 A に接続され他方の入力に信号 Z T M S I G を受ける N A N D 回路 2 0 4 と、電源ノードとノード N 1 A との間に接続されゲートに N A N D 回路 2 0 4 の出力を受ける P チャネル M O S トランジスタ 2 0 6 と、一方の入力がノード N 1 A に接続され他方の入力にモード信号 T M S I G を受ける N A N D 回路 2 0 8 と、電源ノードとノード N 1 A との間に接続されゲートに N A N D 回路 2 0 8 の出力を受ける P チャネル M O S トランジスタ 2 1 0 とを含む。

【 0 0 9 5 】

信号 Z T M S I G は、モード信号 T M S I G の反転値であり通常動作モードでは H レベルに設定される。したがって、ドライブ回路 5 6 A において、通常動作モードでは P チャネル M O S トランジスタ 2 0 6 がノード N 1 A を電源電位に駆動し、救済モードでは P チャネル M O S トランジスタ 2 1 0 がノード N 1 A を電源電位に駆動する。

【 0 0 9 6 】

P チャネル M O S トランジスタ 2 0 6 よりも P チャネル M O S トランジスタ 2 1 0 の駆動能力を大きく設計しておけば、救済モードにおいてヒューズの状態の誤認識を改善することができる。

【 0 0 9 7 】

図 1 0 は、図 9 に示したブロックプログラム回路の動作説明をするための動作波形図である。

【 0 0 9 8 】

図 9、図 1 0 を参照して、信号 T M S I G を L レベルから H レベルに切換えることにより、時刻  $t_4$  における  $t_{RCD}$  が長い場合の書込時において、ノード N 1 A の波形を W 1 から W 2 に切換えることができる。これにより、救済モードにおいてヒューズの状態の誤認識を改善することができる。

【 0 0 9 9 】

また逆に、P チャネル M O S トランジスタ 2 0 6 よりも P チャネル M O S トラ

ンジスタ 2 1 0 の駆動能力を小さく設計しておけば、信号 TMS I G を L レベルから H レベルに切換えることにより、時刻  $t_4$  における  $t R C D$  が長い場合の書込時において、ノード N 1 A の波形を W 2 から W 1 に切換えることができる。これにより、ヒューズの切断部分のリークを厳しく検出することもできる。

## 【 0 1 0 0 】

なお、信号  $S C L < 0 >$  を発生するブロックプログラム回路に適用した例を説明したが、図 3 のビットプログラム回路 7 1 ~ 7 7 にドライバ切換えをする構成を適用してもよい。

## 【 0 1 0 1 】

以上説明したように、ラッチ回路のドライバ追加だけでなく、切換えもできるようにすることで、ヒューズ切断部分の抵抗値の認識をどちらの方向にも切換えることができる。これにより、ヒューズ切断の誤認識を起こさない適切なマージンを持たせた最適なドライバサイズ調整が可能となる。

## 【 0 1 0 2 】

## 〔実施の形態 3〕

図 1 1 は、実施の形態 3 において用いられるブロックプログラム回路の構成を示す回路図である。

## 【 0 1 0 3 】

図 1 1 を参照して、ブロックプログラム回路 3 0 2 は、電源ノードとノード N 5 との間に接続されゲートに信号 R A S O R X を受ける P チャネル MOS トランジスタ 3 1 6 と、ノード N 5 とノード N 6 との間に接続されゲートに信号 R A S O R X を受ける N チャネル MOS トランジスタ 3 1 8 と、ノード N 6 とノード N 7 との間に接続されるヒューズ素子 F U S E S C E A と、ノード N 7 と接地ノードとを信号 TMS I G 0 ~ TMS I G 2 に応じて接続する接続回路 3 3 0 とを含む。

## 【 0 1 0 4 】

ブロックプログラム回路 3 0 2 は、さらに、ノード N 5 の電位を保持するラッチ回路 3 2 0 と、ラッチ回路 3 2 0 の出力と信号 Z R A D < 0 > とを受けて信号  $S C L < 0 >$  を出力する NOR 回路 3 2 2 とを含む。

## 【 0 1 0 5 】

接続回路 3 3 0 は、ノード N 7 と接地ノードとの間に並列に接続される N チャネル MOS トランジスタ 3 3 2, 3 3 4, 3 3 6 を含む。N チャネル MOS トランジスタ 3 3 2 は、ゲートに信号 TMS I G 0 を受けており、導通時の抵抗値は R 0 である。N チャネル MOS トランジスタ 3 3 4 は、ゲートに信号 TMS I G 1 を受けており、導通時の抵抗値は R 1 である。N チャネル MOS トランジスタ 3 3 6 は、ゲートに信号 TMS I G 2 を受けており、導通時の抵抗値は R 2 である。なお、抵抗値 R 0 ~ R 2 の間には、 $R 0 < R 1 < R 2$  の関係がある。

## 【 0 1 0 6 】

信号 TMS I G 0 ~ TMS I G 2 の設定は、たとえば、通常動作モードでは信号 TMS I G 1 が H レベルに設定され信号 TMS I G 0, TMS I G 2 は L レベルに設定されるようにしておく。そして、動作モードを選択することにより信号 TMS I G 0 ~ TMS I G 2 の活性化の組合せを変えるようにすればヒューズ切断部分の抵抗値の認識を厳しくしたり緩めたりする調整を行なうことができる。

## 【 0 1 0 7 】

たとえば、信号 TMS I G 0 を活性化し、信号 TMS I G 1, TMS I G 2 を非活性化すれば、抵抗が小さい N チャネル MOS トランジスタ 3 3 2 でノード N 7 が接地ノードに接続される。このときには、接続回路 3 3 0 に通常動作モードよりも電流が多く流れる状態となるので、ノード N 5 を L レベルに引き下げる。したがってヒューズの切断を厳しくチェックすることができる。

## 【 0 1 0 8 】

これに対し、信号 TMS I G 2 を活性化し、信号 TMS I G 0, TMS I G 1 を非活性化すれば、抵抗が大きい N チャネル MOS トランジスタ 3 3 6 でノード N 7 が接地ノードに接続される。このときには、接続回路 3 3 0 に通常動作モードよりも電流が少なく流れる状態となる。したがってヒューズの切断の判断を緩めてチェックすることができる。

## 【 0 1 0 9 】

このように、ヒューズ部と接地ノードとの間に電流値を調整する接続回路を挿入することにより、ヒューズ素子が完全に切断されない場合に対する切断の認識

の加減を調整することができる。信号TMSIG0～TMSIG2の活性化の組合せ次第で調整幅は大きくできる。たとえば、あるモードで信号TMSIG0～TMSIG2のうちの複数を活性化しても良い。

#### 【0110】

##### 〔実施の形態4〕

図12は、実施の形態4で用いられるブロックプログラム回路342の構成を示す回路図である。

#### 【0111】

図12を参照して、ブロックプログラム回路342は、図11で説明したブロックプログラム回路302の構成において接続回路330に変えて接続回路330Aを含む。ブロックプログラム回路342の他の部分の構成は、図11で説明したブロックプログラム回路302と同様であるので説明は繰返さない。

#### 【0112】

接続回路330Aは、ノードN8に中間電圧を出力する電圧発生回路344と、ノードN7と接地ノードとの間に接続されゲートがノードN8に接続されるNチャネルMOSトランジスタ346とを含む。

#### 【0113】

電圧発生回路344は、電源ノードとノードN8との間に接続されゲートに信号TMSIG0を受けるNチャネルMOSトランジスタ348と、ノードN8とノードN9との間に接続されゲートに信号TMSIG1を受けるNチャネルMOSトランジスタ350と、ノードN9と接地ノードとの間に接続されゲートに信号TMSIG2を受けるNチャネルMOSトランジスタ352とを含む。

#### 【0114】

電圧発生回路344は、さらに、電源ノードとノードN8との間に接続される抵抗素子354と、ノードN8とノードN9との間に接続される抵抗素子356と、ノードN9と接地ノードとの間に接続される抵抗素子358とを含む。

#### 【0115】

電圧発生回路344では、NチャネルMOSトランジスタ348、350、352を選択的に導通状態とすることによりノードN8の分圧電位を変更すること

ができる。これによりNチャネルMOSトランジスタ346のゲート電位を制御し、ノードN5を接地電位に駆動する能力を調整することができる。

【0116】

たとえば、通常動作モードでは、信号TMSIG0～TMSIG2はともにLレベルに非活性化されているとする。すると、NチャネルMOSトランジスタ346のゲートには、抵抗素子354～358によって分圧された中間電圧が与えられる。

【0117】

信号TMSIG0を活性化し、信号TMSIG1，TMSIG2を非活性化すれば、ノードN8はNチャネルMOSトランジスタ348によって電源電位に接続される。このときには、NチャネルMOSトランジスタ346に電流が多く流れる状態となるので、ノードN5をLレベルに引き下げる。したがってヒューズの切断を厳しくチェックすることができる。

【0118】

これに対し、信号TMSIG1を活性化し、信号TMSIG0，TMSIG2を非活性化すれば、抵抗素子356の両端は接続され、抵抗素子による分圧比が変化し、ノードN8の中間電位が通常動作モード時よりも下がる。このときには、NチャネルMOSトランジスタ346に流れる電流が通常動作モード時よりも少ない状態となる。したがってヒューズの切断の判断を緩めてチェックすることができる。

【0119】

実施の形態4に示した構成においても、実施の形態3と同様な効果を得ることができる。

【0120】

〔実施の形態5〕

実施の形態3で説明した電流調整を行なう接続回路を複数のヒューズ回路部で共有することもできる。

【0121】

図13は、実施の形態5におけるヒューズ回路部の構成を示した回路図である

・ 【 0 1 2 2 】

図 1 3 を参照して、ヒューズ回路 4 0 2, 4 0 4, 4 0 6, 4 0 8, 4 1 0 が共通のノード N 1 0 に接続される。ノード N 1 0 と接地ノードとの間には接続回路 4 1 2 が設けられる。

【 0 1 2 3 】

接続回路 4 1 2 は、ノード N 1 0 と接地ノードとの間に並列に接続される N チャネル MOS トランジスタ 4 3 2, 4 3 4, 4 3 6 を含む。N チャネル MOS トランジスタ 4 3 2 は、ゲートに信号 TMS I G 0 を受けており、導通時の抵抗値は R 0 である。N チャネル MOS トランジスタ 4 3 4 は、ゲートに信号 TMS I G 1 を受けており、導通時の抵抗値は R 1 である。N チャネル MOS トランジスタ 4 3 6 は、ゲートに信号 TMS I G 2 を受けており、導通時の抵抗値は R 2 である。なお、抵抗値 R 0 ~ R 2 の間には、 $R 0 < R 1 < R 2$  の関係がある。

【 0 1 2 4 】

ヒューズ回路 4 0 2 は、電源ノードとノード N 1 1 との間に接続されゲートに信号 RASORX を受ける P チャネル MOS トランジスタ 4 1 6 と、ノード N 1 1 とノード N 1 2 との間に接続されゲートに信号 RASORX を受ける N チャネル MOS トランジスタ 4 1 8 と、ノード N 1 2 とノード N 1 0 との間に接続されるヒューズ素子 FUSESCB と、ノード N 1 1 の電位をラッチするラッチ回路 4 2 0 と、ラッチ回路 4 2 0 の出力と信号 ZRAD<0>とを受けて信号 SCL<0>を出力する NOR 回路 4 2 2 とを含む。ラッチ回路 4 2 0 は、ノード N 1 1 に入力 that 接続されるインバータ 4 2 4 と、電源ノードとノード N 1 1 との間に接続されインバータ 4 2 4 の出力をゲートに受ける P チャネル MOS トランジスタ 4 2 6 とを含む。

【 0 1 2 5 】

ヒューズ回路 4 0 2 は第 1 番目のヒューズ素子を含む。ヒューズ回路 4 0 4, 4 0 6, 4 0 8, 4 1 0 は、それぞれ第 2、第 3、第 4、第 N 番目のヒューズ素子を含む。ヒューズ回路 4 0 4, 4 0 6, 4 0 8, 4 1 0 に含まれるヒューズ素子は、図 3 のヒューズ素子 FUSECA 1 ~ FUSECA 7 であってもよいし、

全く無関係のヒューズ素子でもよい。

・ 【 0 1 2 6 】

このような方法をとることにより、全体の冗長回路をコンパクトな構成とすることが出来る。

【 0 1 2 7 】

〔実施の形態 6〕

図 1 4 は、実施の形態 6 で用いられるヒューズ回路部の構成を示した回路図である。

【 0 1 2 8 】

図 1 4 を参照して、実施の形態 6 のヒューズ回路部は、信号 R A S O R X と信号 T M S I G とを受ける N A N D 回路 5 0 2 と、電源ノードとノード N 1 2 との間に接続されゲートに N A N D 回路 5 0 2 の出力を受ける P チャネル M O S トランジスタ 5 0 0 と、ノード N 1 2 の共通に接続されるヒューズ回路 5 0 4 , 5 0 6 , 5 0 8 , 5 1 0 , 5 1 2 とを含む。

【 0 1 2 9 】

ヒューズ回路 5 0 4 は、電源ノードとノード N 1 3 との間に接続されゲートに信号 R A S O R X を受ける P チャネル M O S トランジスタ 5 4 6 と、一方端が接地ノードに接続されるヒューズ素子 F U S E S C E C と、ヒューズ素子 F U S E S C E C の他方端とノード N 1 3 との間に接続されゲートに信号 R A S O R X を受ける N チャネル M O S トランジスタ 5 4 8 と、ノード N 1 3 の電位をラッチするラッチ回路 5 5 0 と、ラッチ回路 5 5 0 の出力と信号 Z R A D < 0 > とを受けて信号 S C L < 0 > を出力する N O R 回路 5 5 2 とを含む。ラッチ回路 5 5 0 は、電源ノードとノード N 1 3 との間に接続されゲートにインバータ 5 5 8 の出力を受ける P チャネル M O S トランジスタ 5 6 0 と、ノード N 1 2 とノード N 1 3 との間に接続されゲートにインバータ 5 5 8 の出力を受ける P チャネル M O S トランジスタ 5 6 4 とを受ける。インバータ 5 5 8 の出力は N O R 回路 5 5 2 に対してラッチ回路 5 5 0 の出力として与えられる。

【 0 1 3 0 】

ヒューズ回路 5 0 6 ~ 5 1 2 は、図 3 に示したヒューズ素子 F U S E C A 1 ~



FUSECA7を含むものでもよいし、他の無関係なヒューズ素子を含むものであってもよい。

【0131】

このような構成をとることによっても、全体の冗長回路をコンパクトにすることができる。

【0132】

〔実施の形態7〕

ヒューズの切断状態の判定を、判定期間を可変にすることにより調整することもできる。

【0133】

図15は、実施の形態7に用いられるヒューズ回路の構成を示す回路図である。

【0134】

図15を参照して、実施の形態7のヒューズ回路は、制御信号TM1～TM3に応じて判定期間を示す信号WINDOWのパルス幅を変えるパルス発生回路600と、信号WINDOWで示される期間においてヒューズ素子の切断の状態を判定するヒューズ回路602とを含む。

【0135】

ヒューズ回路602は、電源ノードとノードN14との間に接続されゲートに信号RASORXを受けるPチャネルMOSトランジスタ606と、一方端が接地ノードに接続されるヒューズ素子FUSESCEDと、ヒューズ素子FUSESCEDの他方端とノードN14との間に接続されゲートに信号RASORXを受けるNチャネルMOSトランジスタ608とを含む。

【0136】

ヒューズ回路602は、さらに、ノードN14とノードN15とを信号WINDOWに応じて接続する接続回路609と、ノードN15の電位をラッチするラッチ回路610と、ラッチ回路610の出力と信号ZRAD<0>とを受けて信号SCL<0>を出力するNOR回路612とを含む。

【0137】

接続回路 6 0 9 は、信号 W I N D O W を受けて反転するインバータ 6 2 4 と、ノード N 1 4 とノード N 1 5 との間に接続されインバータ 6 2 4 の出力をゲートに受ける P チャンネル M O S トランジスタ 6 2 8 と、ノード N 1 4 とノード N 1 5 との間に接続されゲートに信号 W I N D O W を受ける N チャンネル M O S トランジスタ 6 2 6 とを含む。

## 【 0 1 3 8 】

ラッチ回路 6 1 0 は、ノード N 1 5 に入力 that 接続されるインバータ 6 3 0 と、電源ノードとノード N 1 5 との間に接続されインバータ 6 3 0 の出力をゲートに受ける P チャンネル M O S トランジスタ 6 3 2 とを含む。

## 【 0 1 3 9 】

パルス発生回路 6 0 0 は、信号 T M 1 に応じて活性化し所定の短い遅延時間で信号 W I N D O W \_ O R G を反転遅延して出力する反転遅延回路 6 1 4 と、制御信号 T M 2 に応じて活性化され信号 W I N D O W \_ O R G を反転遅延回路 6 1 4 よりも長い中程度の反転時間で反転遅延して出力する反転遅延回路 6 1 6 と、制御信号 T M 3 に応じて活性化され信号 W I N D O W \_ O R G を反転遅延回路 6 1 6 よりもさらに長い遅延時間で反転遅延して出力する反転遅延回路 6 1 8 とを含む。

## 【 0 1 4 0 】

パルス発生回路 6 0 0 は、さらに、N A N D 回路 6 2 0 と、N A N D 回路 6 2 0 の出力を受けて反転し信号 W I N D O W とを出力するインバータ 6 2 2 とを含む。N A N D 回路 6 2 0 の一方の入力には信号 W I N D O W \_ O R G が与えられる。N A N D 回路 6 2 0 の他方の入力 is、反転遅延回路 6 1 4、6 1 6、6 1 8 の出力が 1 つに接続されたノード N 1 9 に接続される。反転遅延回路 6 1 4、6 1 6、6 1 8 の入力 is ともにノード N 1 6 に接続される。ノード N 1 6 には信号 W I N D O W \_ O R G が与えられる。

## 【 0 1 4 1 】

反転遅延回路 6 1 4 は、制御信号 T M 1 を受けて反転するインバータ 6 3 4 と、ノード N 1 6 とノード N 1 7 との間に接続されゲートにインバータ 6 3 4 の出力を受ける P チャンネル M O S トランジスタ 6 3 6 と、ノード N 1 6 とノード N 1

7との間に接続されゲートに制御信号TM1を受けるNチャネルMOSトランジスタ638と、ノードN17と接地ノードとの間に接続されゲートにインバータ634の出力を受けるNチャネルMOSトランジスタ640とを含む。

#### 【0142】

反転遅延回路614は、さらに、ノードN17に初段の入力が接続されノードN18に最終段の出力が接続される奇数段のインバータチェーン642と、ノードN18とノードN19との間に接続されゲートにインバータ634の出力を受けるPチャネルMOSトランジスタ644と、ノードN18とノードN19との間に接続されゲートに制御信号TM1を受けるNチャネルMOSトランジスタ646とを含む。

#### 【0143】

反転遅延回路616、618においては制御信号TM1に代えて制御信号TM2、TM3がそれぞれ与えられる。また、インバータチェーン642の長さは反転遅延回路614、616、618の順に長さが長くなるように設定される。他の部分の反転遅延回路616、618の構成は、反転遅延回路614と同様であるので説明は繰返さない。

#### 【0144】

図16は、図15に示した回路の動作を説明するための動作波形図である。

図15、図16を参照して、コマンドACTが時刻t0において入力されるとこれに応じて信号WINDOW\_ORGが立上がり、この立上がりからの遅延時間によって信号WINDOWのパルス幅はそれぞれ制御信号TM1、TM2、TM3を活性化したときで図のように異なる。これにより、ノードN14とノードN15が接続される期間を変化させることができる。

#### 【0145】

制御信号TM1～TM3を使うことにより、ヒューズの切断状態によってノードN14の電位の変化のタイミングがCASEA、CASEBのように異なるデバイスが存在しても、ウィンドウパルス幅をコントロールすることにより不良と認識させることができる一方、それとは逆に制御信号TM1を使用することにより不良でないと認識させることも可能となる。

## 【0146】

図17は、図15に示した構成の変形例を示す回路図である。

図17では、図15の構成においてパルス発生回路600に代えてパルス発生回路600Aを設ける。パルス発生回路600Aは、信号WINDOW\_ORGと信号RASとを受けるNAND回路652と、電源ノードとノードN20との間に接続されゲートにNAND回路652の出力を受けるPチャネルMOSトランジスタ654と、信号RASORXと外部端子から入力される信号EXTWINとを受けるNAND回路656と、NAND回路656の出力を受けるインバータ658と、ノードN20と接地ノードとの間に接続されゲートにインバータ658の出力を受けるNチャネルMOSトランジスタ660とを含む。

## 【0147】

パルス発生回路600Aは、さらに、ノードN20に入力が接続されるインバータ661と、インバータ661の出力を反転しノードN20に出力するインバータ662と、インバータ661の出力を反転し信号WINDOWを出力するインバータ663とを含む。インバータ661、662は、ノードN20の電位を保持するラッチ回路を形成する。

## 【0148】

図18は、図17に示した回路の動作を説明するための動作波形図である。

図17、図18を参照して、時刻t0においてコマンドACTが入力されこれに応じて信号WINDOW\_ORGがパルス状に活性化される。外部端子から与えられる信号EXTWINはコマンドACTが与えられるときにはLレベルに設定されている。信号WINDOW\_ORGの立上がりに応じて信号WINDOWがLレベルからHレベルに活性化される。

## 【0149】

そして時刻t4～t5において信号EXTWINがLレベルからHレベルに立上げられると、これに応じて信号WINDOWがHレベルからLレベルに立下げられる。信号EXTWINの立上げタイミングを変化させることにより信号WINDOWの活性期間を制御することができる。

## 【0150】

以上説明したように、実施の形態 7 に示した構成を用いても、ヒューズ素子が完全に切断されない場合に対する切断の認識の加減を調整することができる。

【0151】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0152】

【発明の効果】

本発明によれば、ヒューズ素子が完全に切断されない場合に対する切断の認識の加減を調整することができる。したがって、ヒューズ素子の切断部分にリーク電流が流れる場合であっても、切断状態を誤認識することを避けることができる。

【図面の簡単な説明】

【図 1】 従来の半導体装置 2 の構成を示した概略ブロック図である。

【図 2】 図 1 におけるプログラム&比較回路の構成を示すブロック図である。

【図 3】 図 2 におけるプログラム部の構成を示す回路図である。

【図 4】 図 2 におけるコンパレータの構成を示した回路図である。

【図 5】 本発明の半導体装置の通常動作モードでの C A 1 - C A 7 に対応するヒューズの切断検知動作を説明するための動作波形図である。

【図 6】 本発明の半導体装置の通常動作モードでのブロック選択に対応するヒューズの切断検知動作を説明するための動作波形図である。

【図 7】 本発明の半導体装置の救済モードでのブロック選択に対応するヒューズの切断検知動作を説明するための動作波形図である。

【図 8】 ヒューズの切断に応じてモード信号 T M S I G を変化させるモード信号発生回路の構成を示した回路図である。

【図 9】 ブロックプログラム回路の他の例を示した回路図である。

【図 10】 図 9 に示したブロックプログラム回路の動作説明をするための

動作波形図である。

【図 1 1】 実施の形態 3 において用いられるブロックプログラム回路の構成を示す回路図である。

【図 1 2】 実施の形態 4 で用いられるブロックプログラム回路 3 4 2 の構成を示す回路図である。

【図 1 3】 実施の形態 5 におけるヒューズ回路部の構成を示した回路図である。

【図 1 4】 実施の形態 6 で用いられるヒューズ回路部の構成を示した回路図である。

【図 1 5】 実施の形態 7 に用いられるヒューズ回路の構成を示す回路図である。

【図 1 6】 図 1 5 に示した回路の動作を説明するための動作波形図である。

【図 1 7】 図 1 5 に示した構成の変形例を示す回路図である。

【図 1 8】 図 1 7 に示した回路の動作を説明するための動作波形図である。

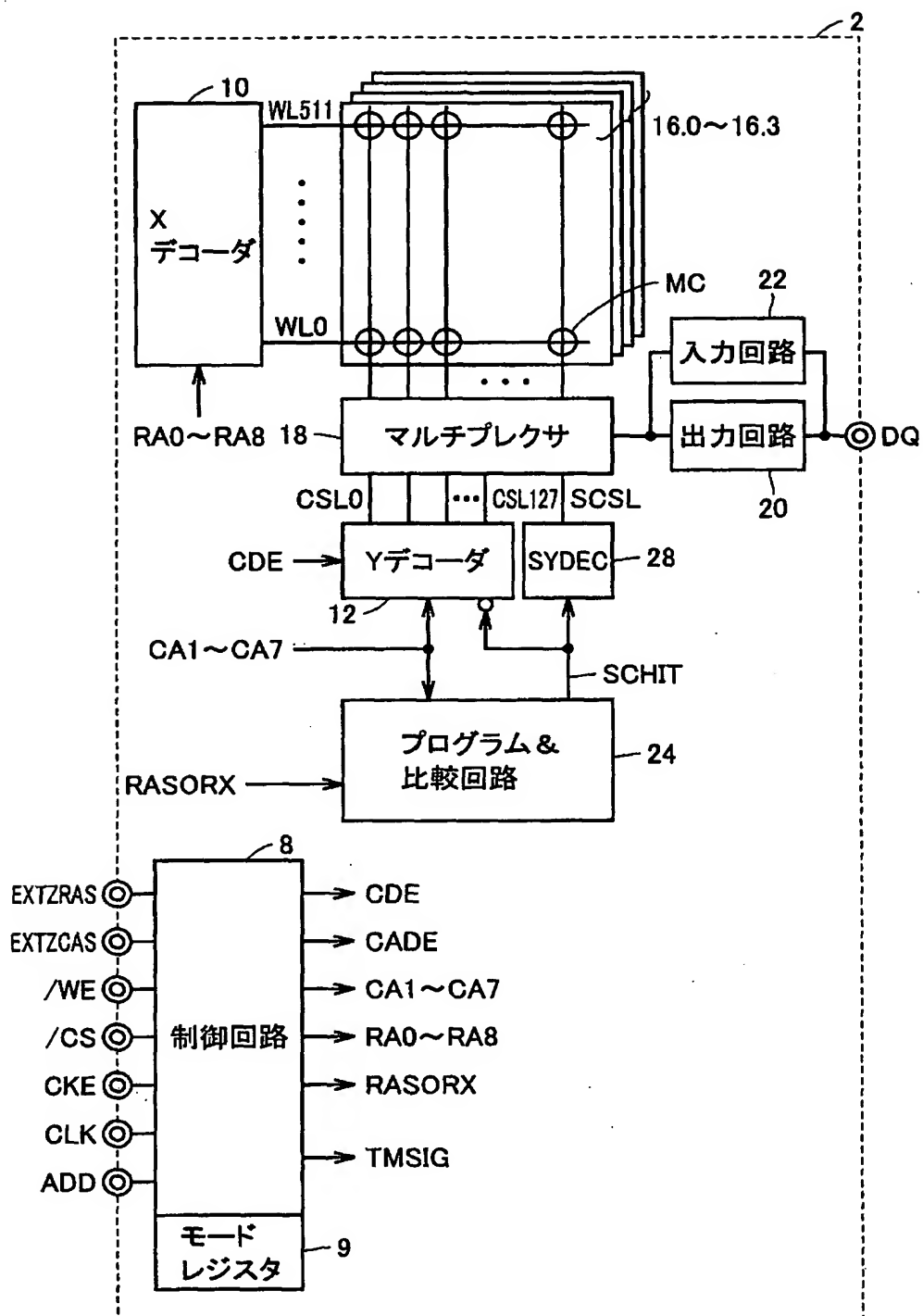
# 【符号の説明】

2 半導体装置、8 制御回路、9 モードレジスタ、10 Xデコーダ、12 Yデコーダ、16. 0～16. 3 メモリブロック、18 マルチプレクサ、20 出力回路、22 入力回路、24, 30～33 プログラム&比較回路、28 スペアYデコーダ、40 プログラム部、42, 202, 302, 342 ブロックプログラム回路、44 アドレスプログラム回路、45 コンパレータ、50, 50A, 84, 146, 320, 420, 550, 610 ラッチ回路、56, 56A, 96 ドライブ回路、71～77 ビットプログラム回路、82, 330, 330A, 412, 609 接続回路、111～117 ビット比較回路、120, 128 クロックドインバータ、140 モード信号発生回路、344 電圧発生回路、354～358 抵抗素子、402, 404, 406, 408, 410, 504, 506, 508, 510, 512, 602 ヒューズ回路、600, 600A パルス発生回路、642, 652 インバータ

チェーン、614, 616, 618 反転遅延回路、FUSECA1~FUSE  
CA7, FUSESCE, FUSESCEA~FUSESCED, FUSETM  
ヒューズ素子、MC メモリセル、CSL0~CSL127 コラム選択線、  
SCSL スペアコラム選択線、WL0~WL511 ワード線。

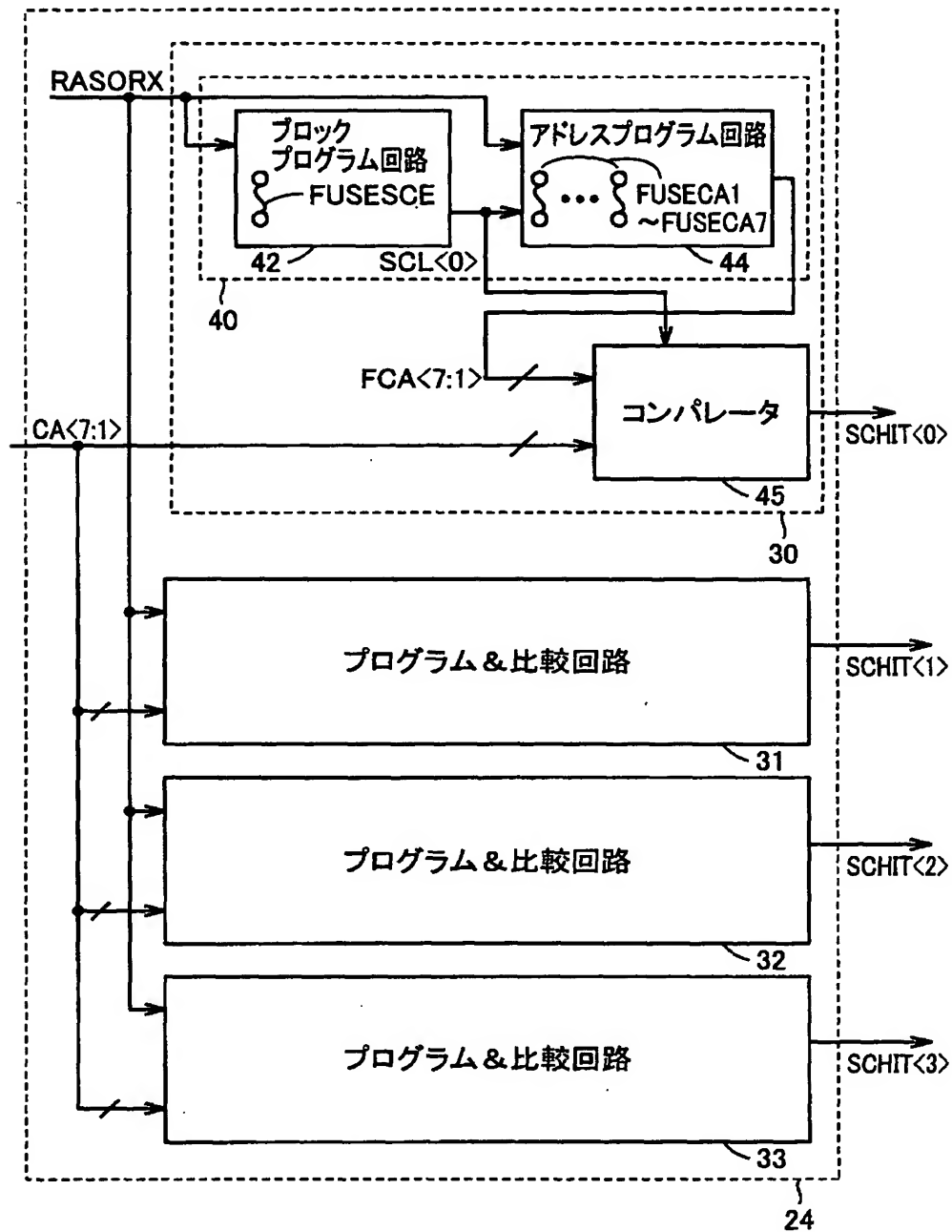
【書類名】 図面

【図1】

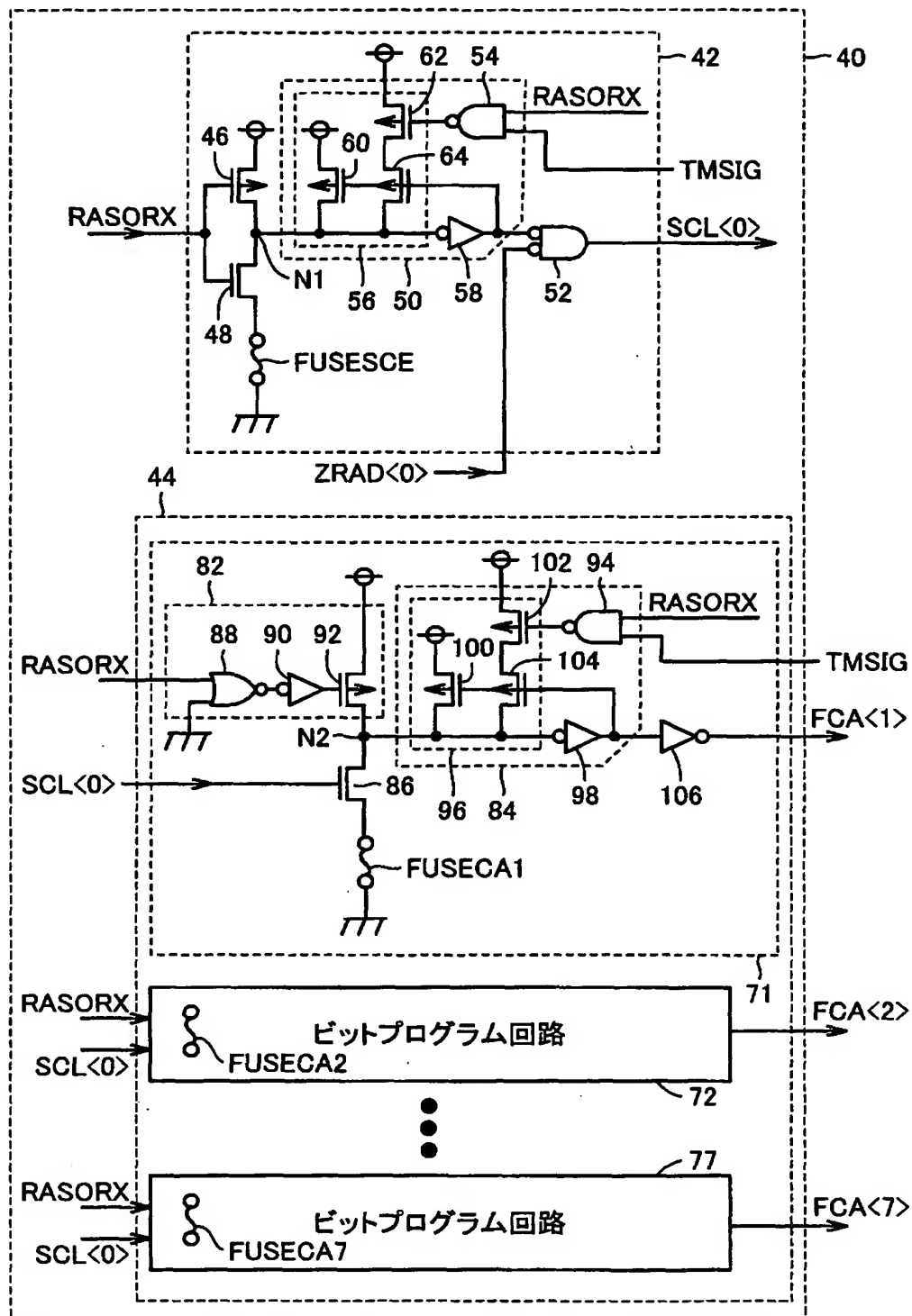




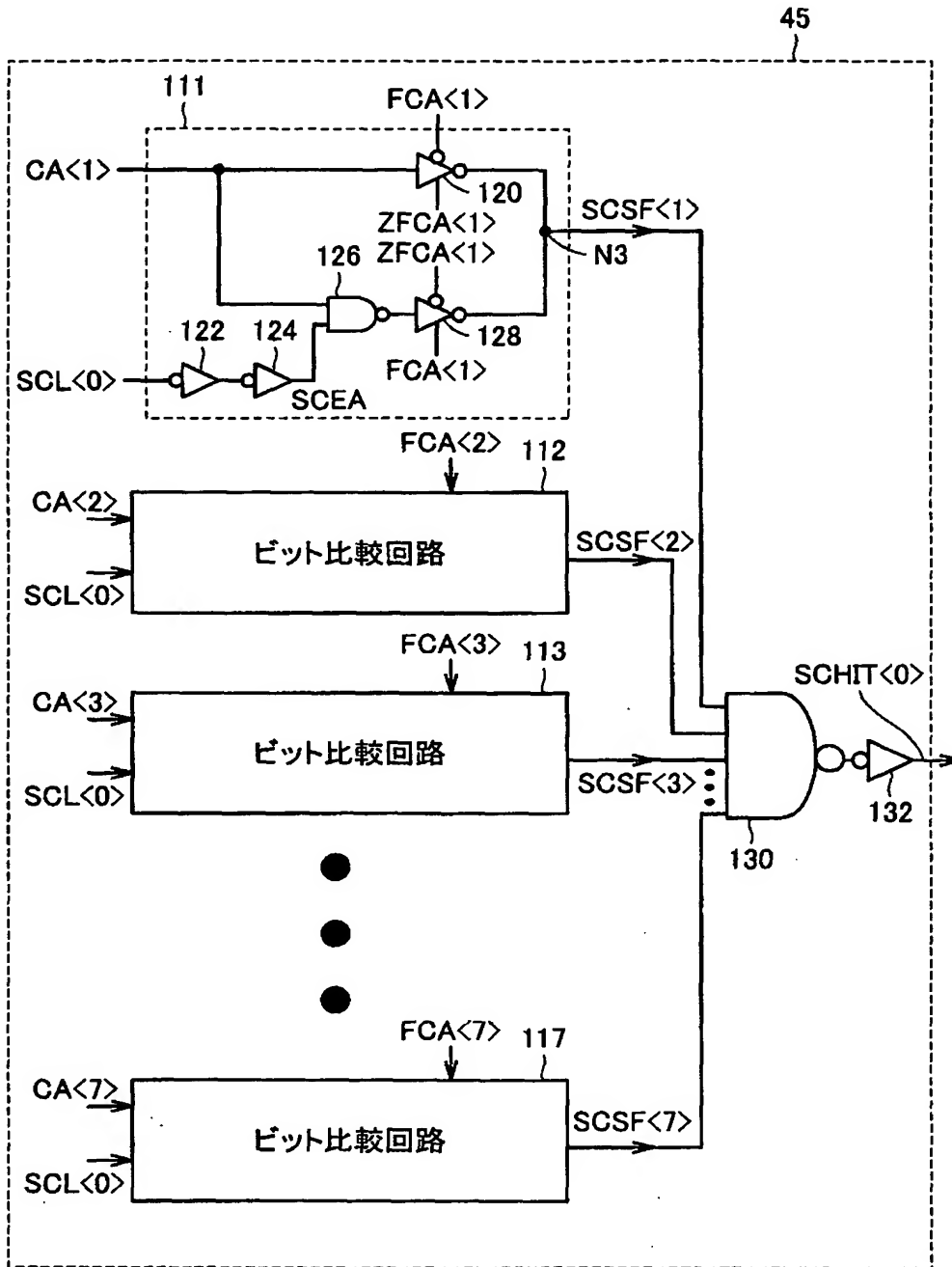
【図 2】



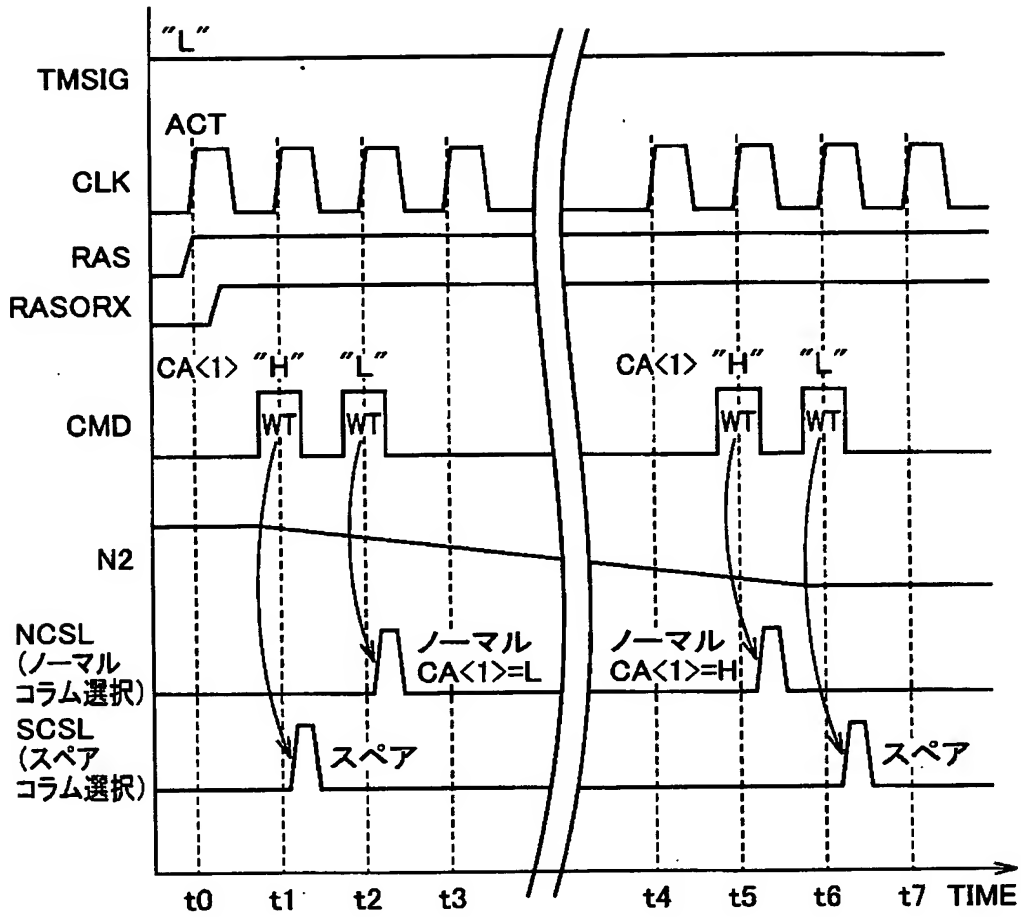
【図 3】



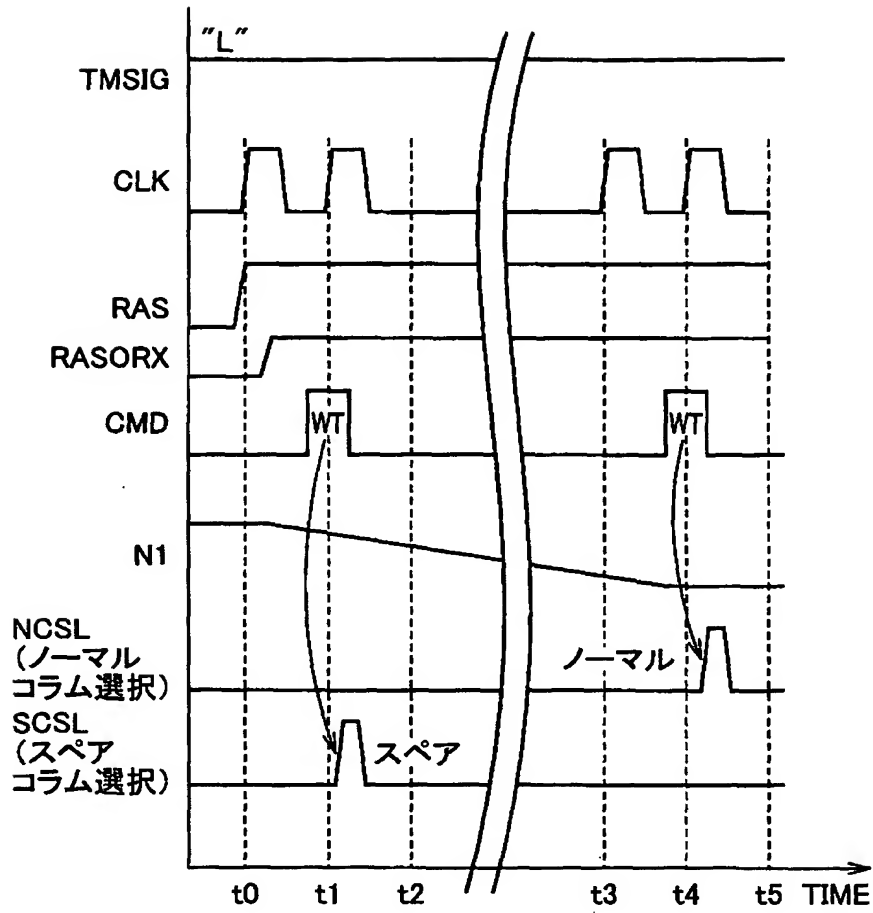
【図 4】



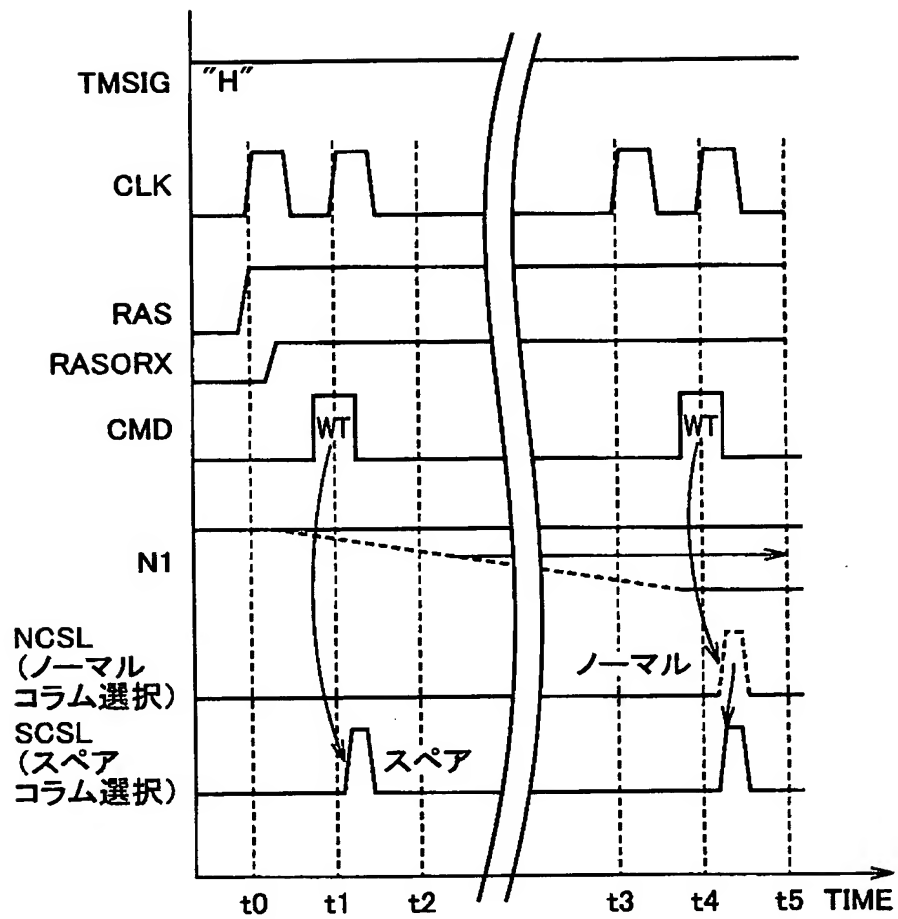
【図 5】



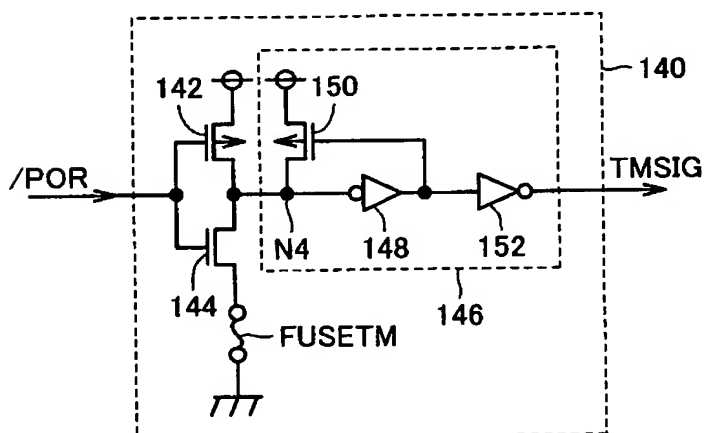
【図 6】



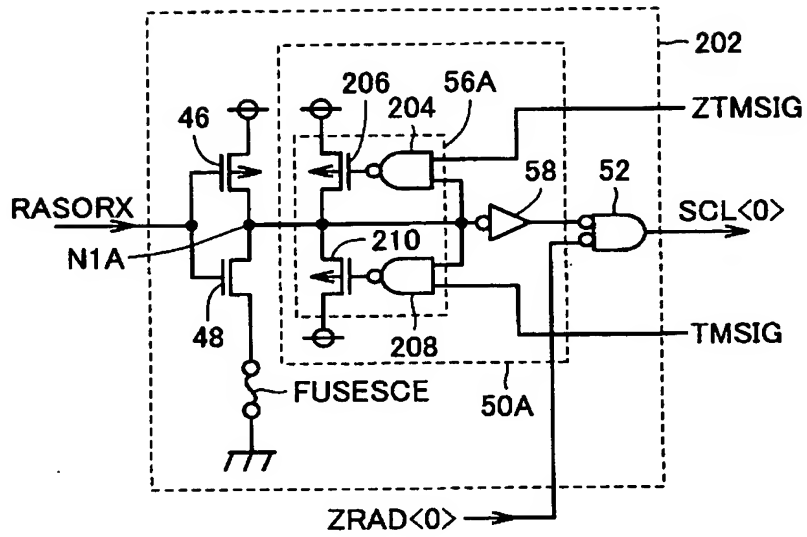
【図 7】



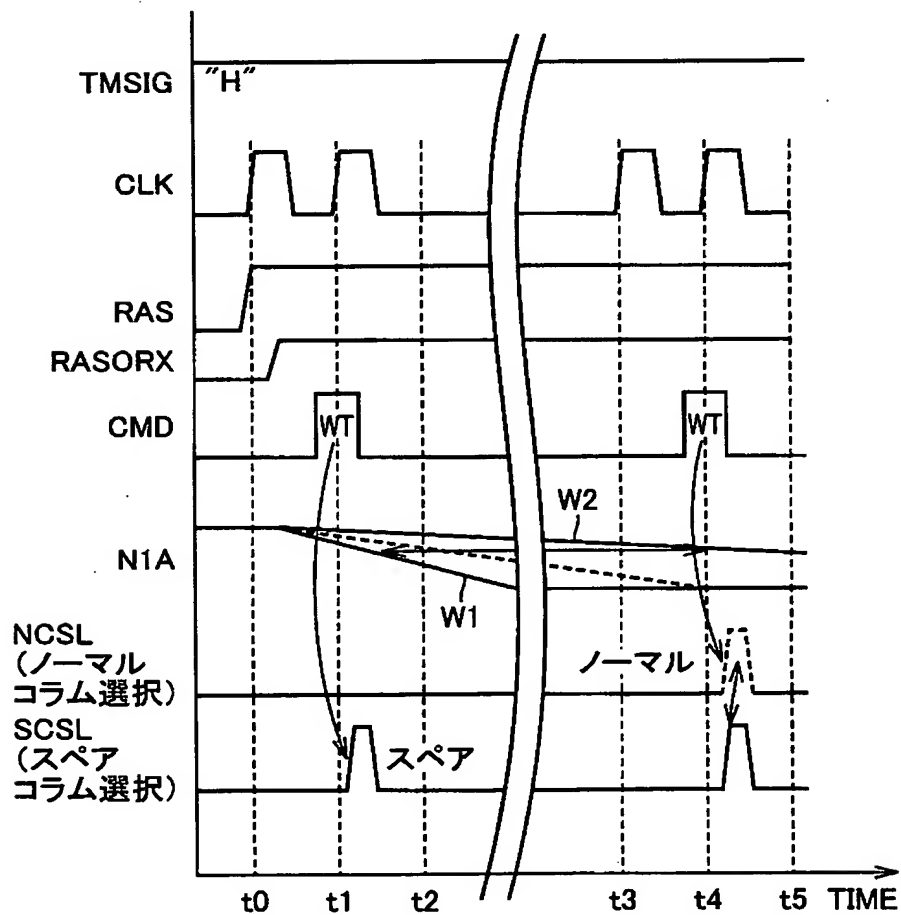
【図 8】



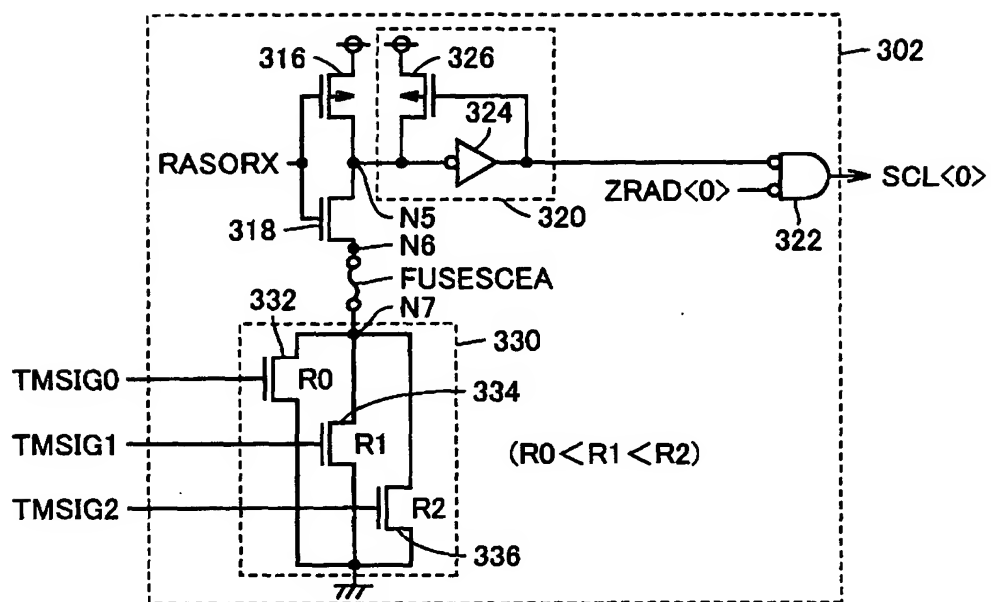
【図 9】



【図 10】

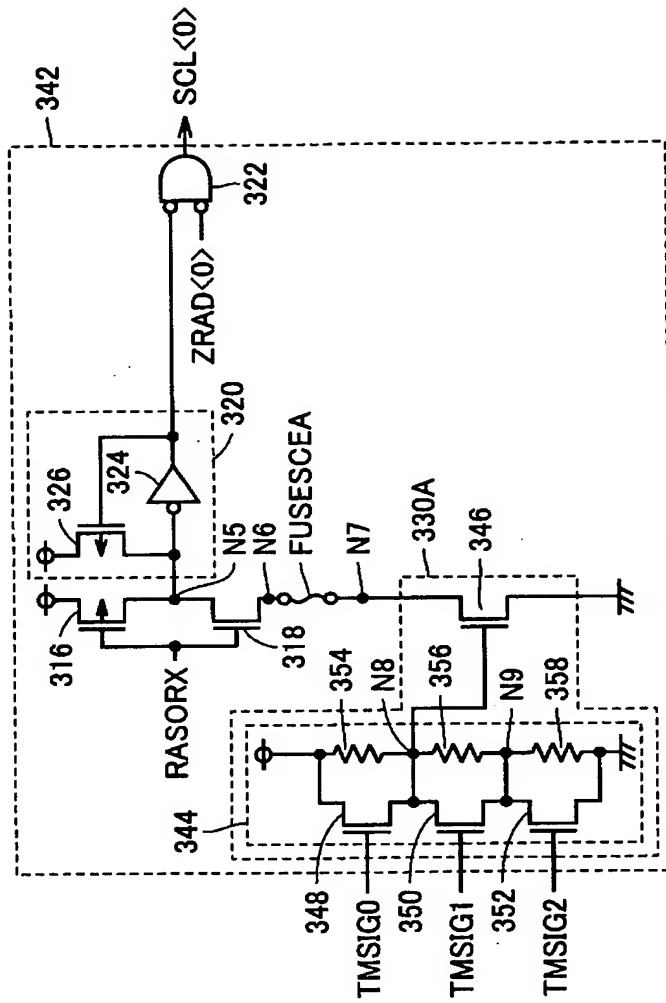


【図 11】

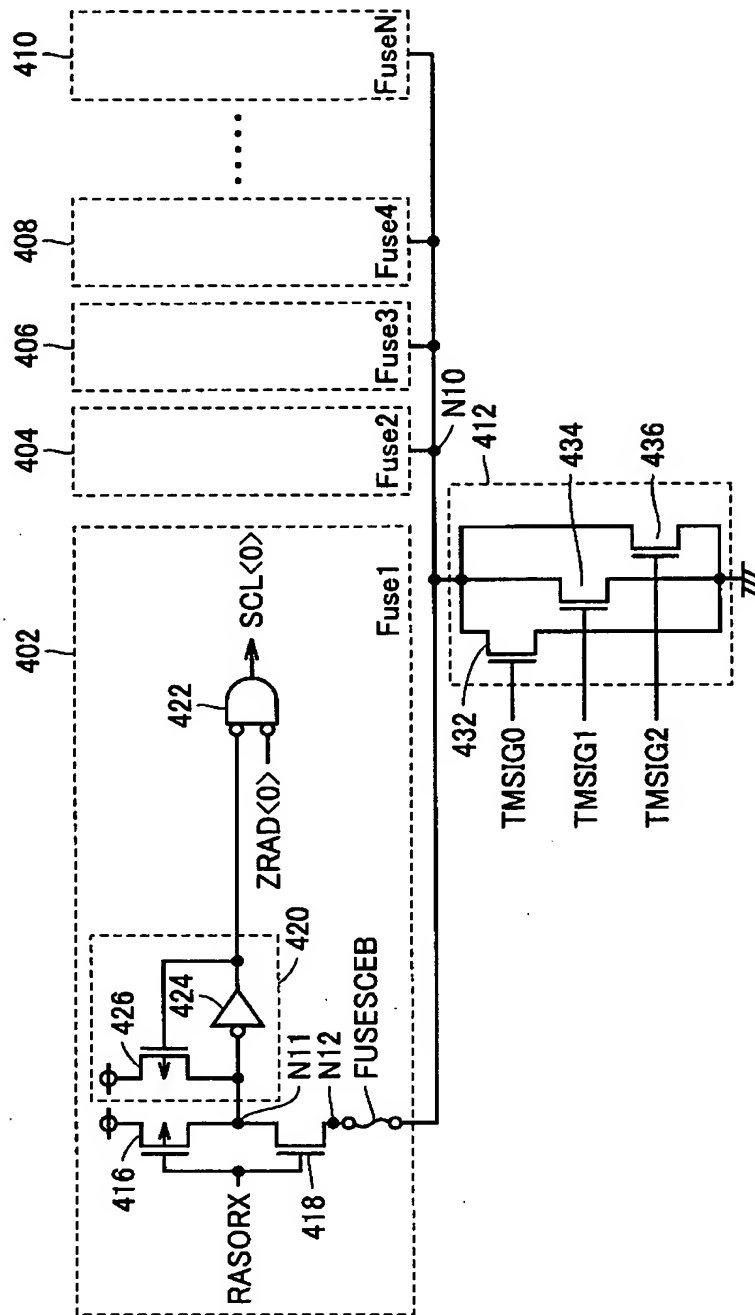




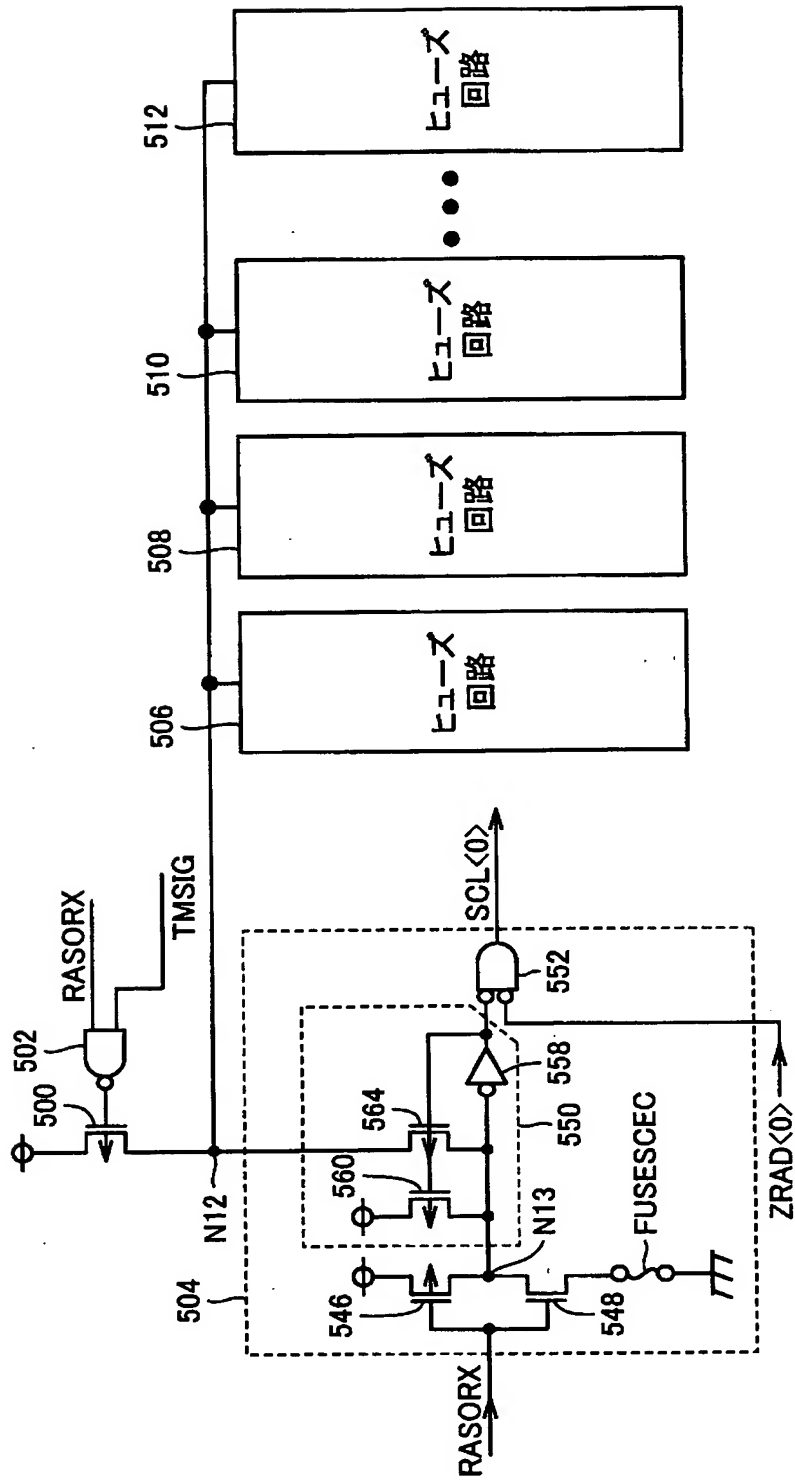
【图 1 2】



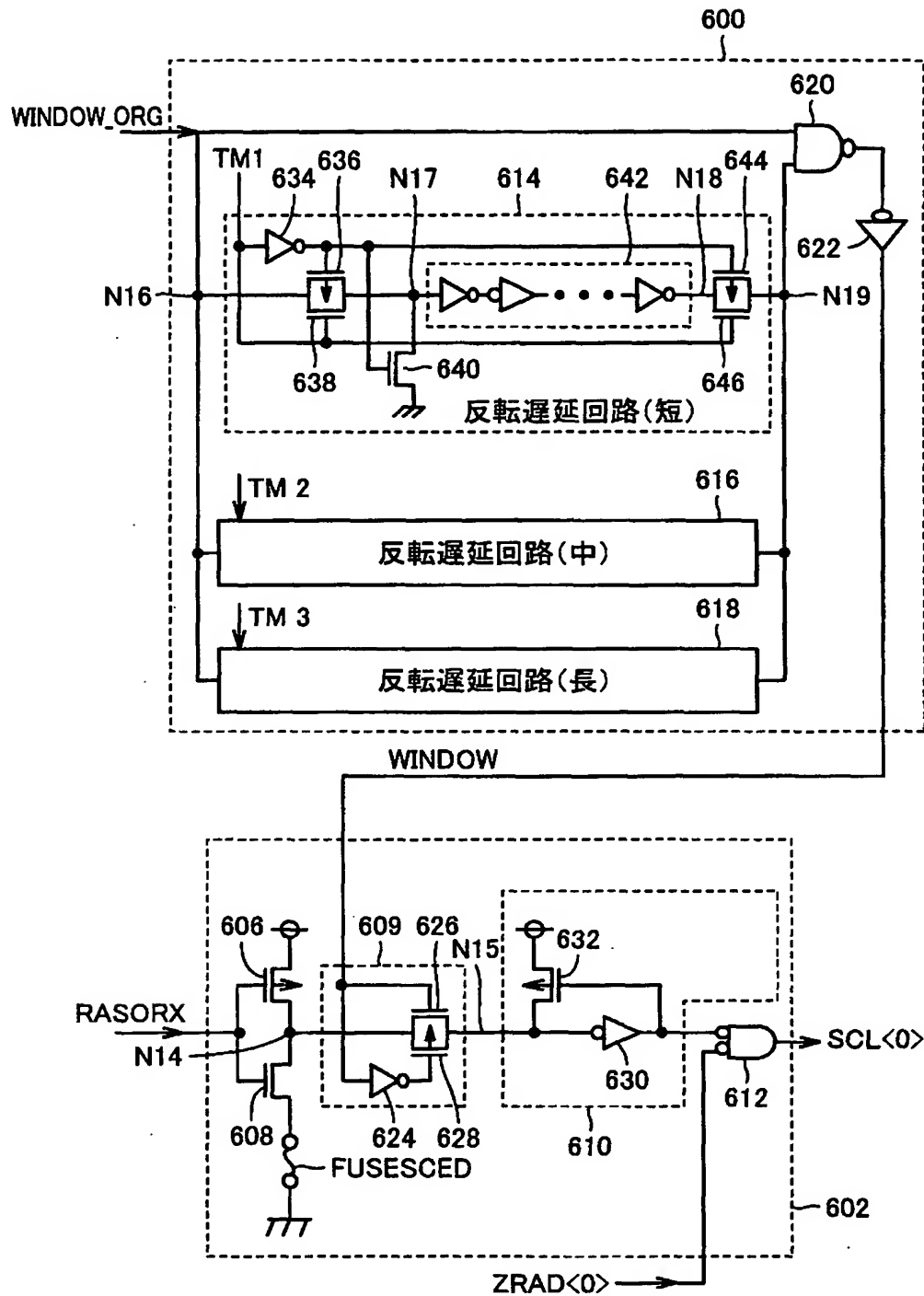
【図 13】



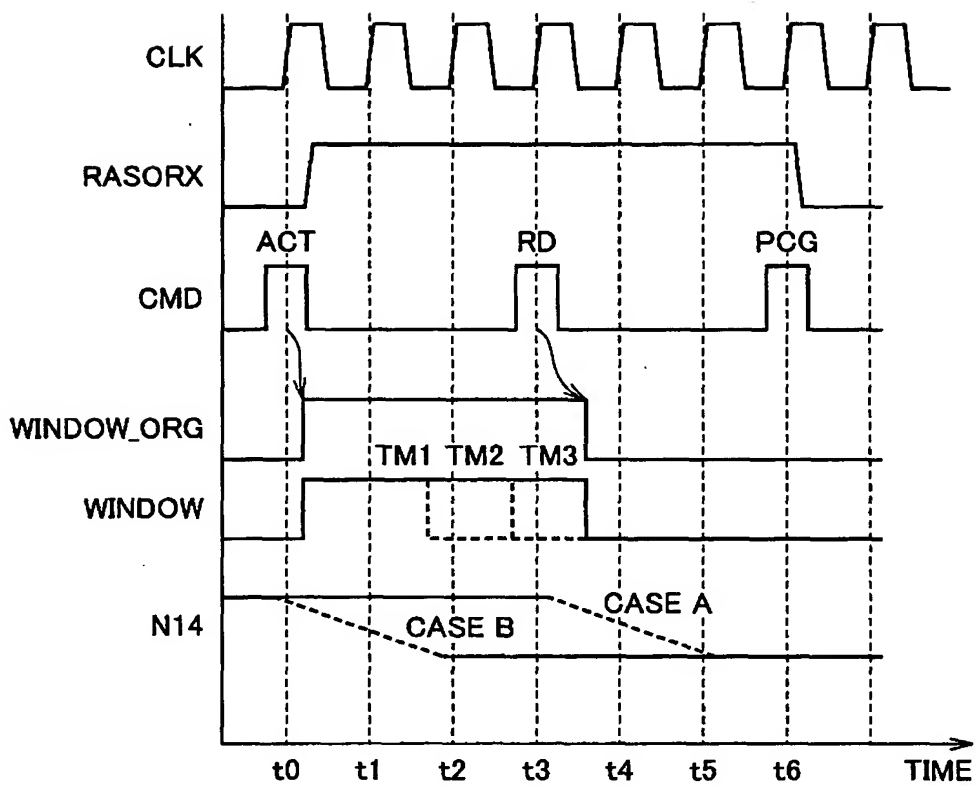
【図 1 4】



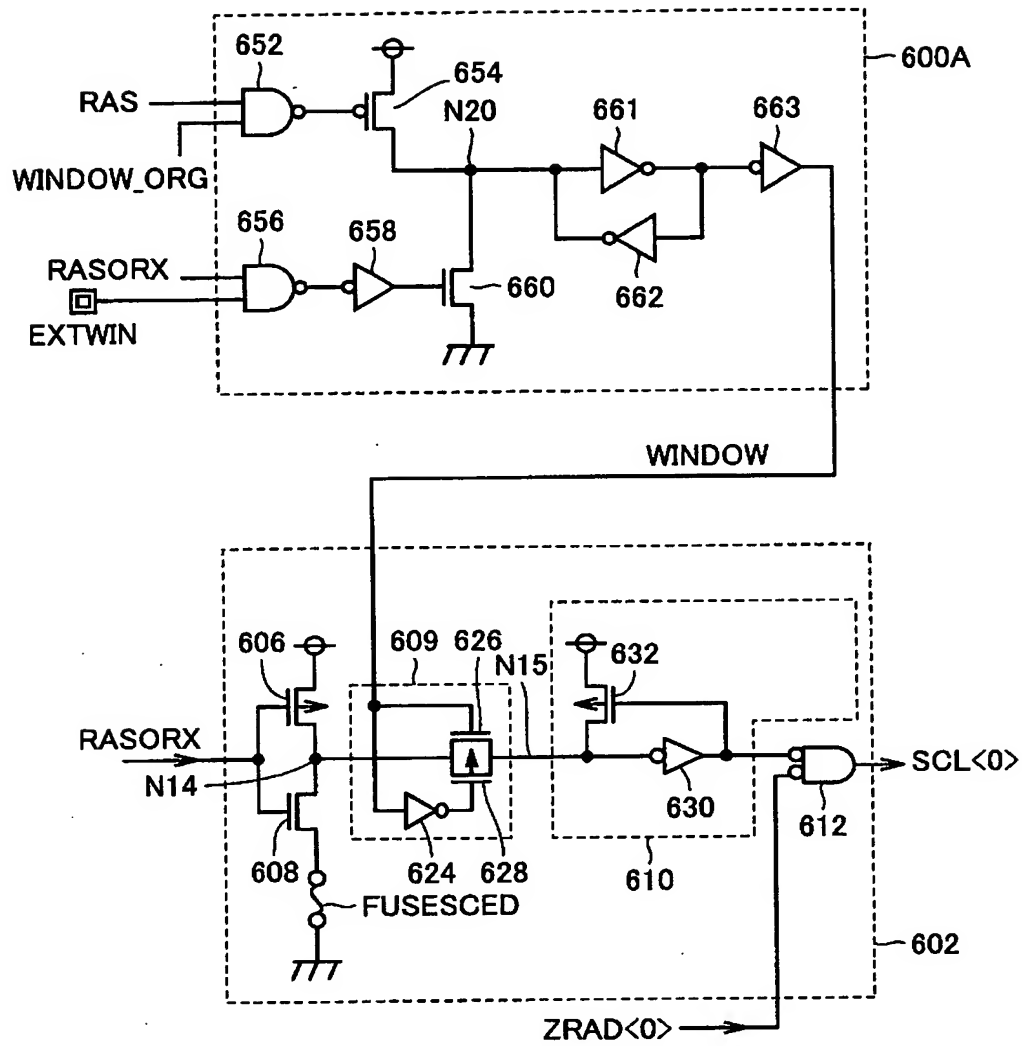
【図 15】



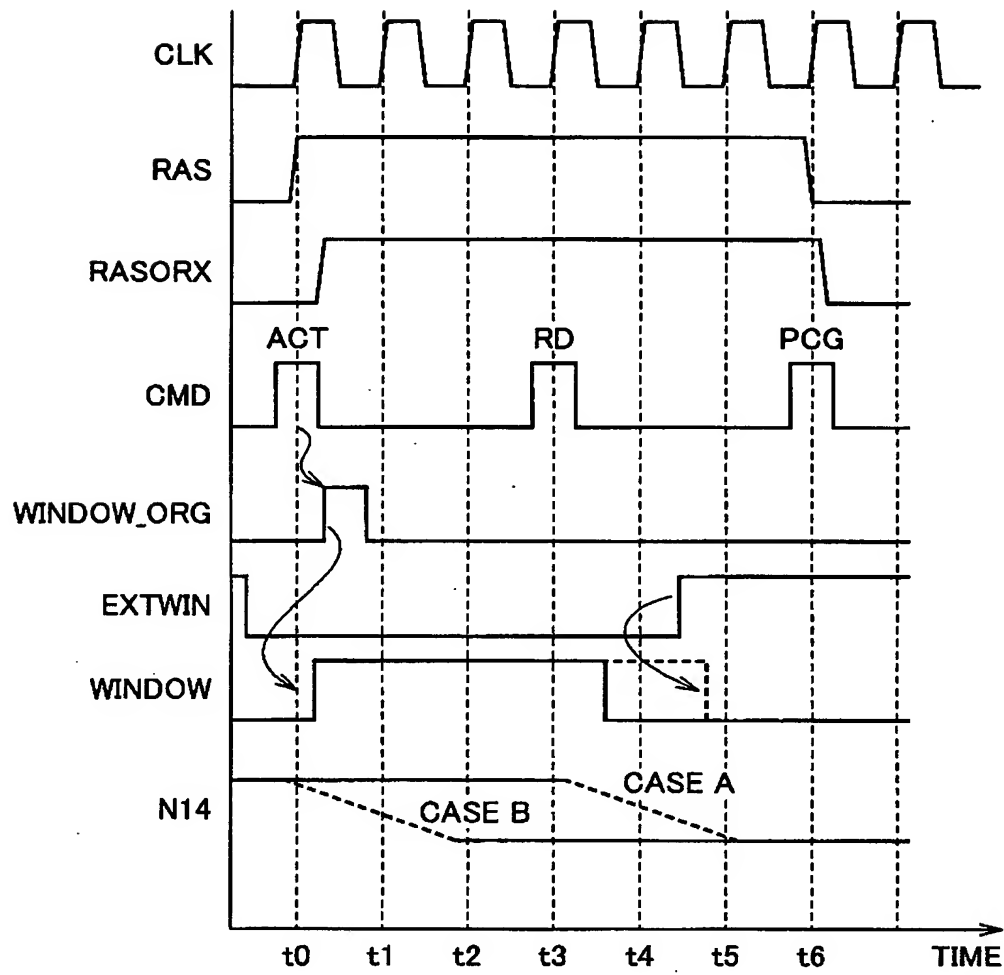
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 ヒューズの切断の認識誤りを起こしにくい半導体装置を提供する。

【解決手段】 モード信号TMSIGを切換えることにより、通常モードに比べてラッチ回路50, 84のドライブ回路56, 96の能力を増大させることができる。これにより、ヒューズ素子FUSESCA1～FUSECA7の切断部分に微小リークが発生している場合でも正しく切断を認識させることができる。このようにすれば、ラッチ回路50, 84のドライブ能力の向上によりヒューズの切断の認識誤りをを解消することができる。

【選択図】 図3



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社